

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 06 月 09 日
Application Date

申請案號：092115512
Application No.

申請人：台灣積體電路製造股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 1 月 16 日
Issue Date

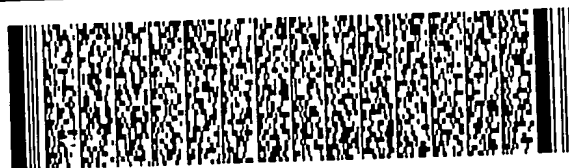
發文字號：09320051750
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	製作多種側壁子寬度的方法
	英文	FABRICATION METHOD FOR MULTIPLE SPACER WIDTHS
二、 發明人 (共3人)	姓名 (中文)	1. 王志豪 2. 胡正明 3. 林俊杰
	姓名 (英文)	1. Chih-Hao Wang 2. Chemning Hu 3. Chun-Chieh Lin
	國籍 (中英文)	1. 中華民國 TW 2. 美國 US 3. 中華民國 TW
	住居所 (中文)	1. 台北縣土城市金城路三段93巷5號2樓 2. 美國, 加州94507, 阿拉摩, 拜博道2060號. 3. 台中市西區公益里6鄰向上北路284巷32號3樓
	住居所 (英文)	1. 2. 2060 Pebble Drive, Alamo, CA 94507, U.S.A. 3.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 台灣積體電路製造股份有限公司
	名稱或 姓名 (英文)	1. Taiwan Semiconductor Manufacturing Co., Ltd.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區園區三路121號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 121, Park avenue 3, Science-Based Industrial Park, Hsin-Chu, Taiwan, R.O.C.
	代表人 (中文)	1. 張忠謀
	代表人 (英文)	1. Chung-Mou Chang



四、中文發明摘要 (發明名稱：製作多種側壁子寬度的方法)

製作多種側壁子寬度的方法，係先於一半導體基底之第一電晶體區域、第二電晶體區域以及第三電晶體區域上形成一第一閘極結構、一第二閘極結構以及一第三閘極結構。然後，形成一襯層以覆蓋該第一閘極結構、該第二閘極結構以及該第三閘極結構，再形成一第一側壁子層以覆蓋該第三電晶體區域。接著，形成一第二側壁子層以係覆蓋該第二電晶體區域以及第三電晶體區域，後續形成一第三側壁子層以覆蓋該第一電晶體區域、該第二電晶體區域以及該第三電晶體區域。最後，進行非等向性蝕刻製程以去除部份之該第三側壁子層、該第二側壁子層、該第一側壁子層以及該襯層，直至暴露該第一閘極結構、該第二閘極結構以及該第三閘極結構之頂面之該襯層。第一閘極結構之側壁子寬度 W_1 、第二閘極結構之側壁子寬度 W_2 、第三閘極結構之側壁子寬度 W_3 符合下列關係式： $W_1 < W_2 < W_3$ 。

六、英文發明摘要 (發明名稱：FABRICATION METHOD FOR MULTIPLE SPACER WIDTHS)

A semiconductor substrate is provided with a first gate structure formed on a first transistor region, a second gate structure formed on a second transistor region, and a third gate structure formed on a third transistor region. A liner is deposited on the substrate to cover the first gate structure, the second gate structure and the third gate structure. Then, a first spacer layer is



(二)、本案代表圖之元件代表符號簡單說明：

半 導 體 基 底 ~ 50 ;

第二電晶體區域~II；

閘極介電層~52I、52II、52III；

氧化矽襯層~56；

第一氮化矽側壁子層~58；

第二氮化矽側壁子層~62；

第三氮化矽側壁子層~66；

第一側壁子結構~68I；

第二側壁子結構~68II；

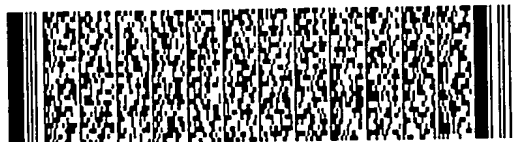
第三側壁子結構~68III。

六、英文發明摘要 (發明名稱: FABRICATION METHOD FOR MULTIPLE SPACER WIDTHS)

四、中文發明摘要 (發明名稱：製作多種側壁子寬度的方法)

六、英文發明摘要 (發明名稱：FABRICATION METHOD FOR MULTIPLE SPACER WIDTHS)

layer and the liner are removed till the liner formed on the top of each gate structure is exposed. The width W_1 of the spacer structure formed on the sidewall of the first gate structure, the width W_2 of the spacer structure formed on the sidewall of the second gate structure, and the width W_3 of the spacer structure formed on the sidewall of the third gate structure



四、中文發明摘要 (發明名稱：製作多種側壁子寬度的方法)

六、英文發明摘要 (發明名稱：FABRICATION METHOD FOR MULTIPLE SPACER WIDTHS)

structure satisfy the formula: $W_1 < W_2 < W_3$.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

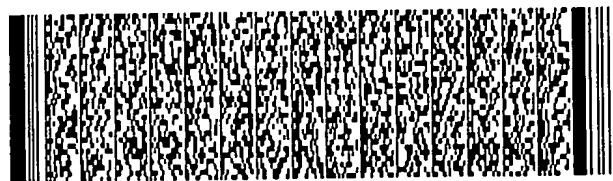
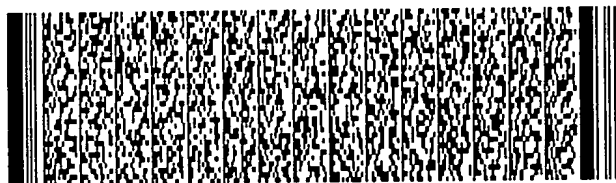
發明所屬之技術領域

本發明有關於一種半導體元件製程，特別有關於一種製作多種側壁子寬度(multiple spacer widths)的方法，可以使不同型式之電晶體元件具有不同的側壁子寬度。

先前技術

傳統的混合型積體電路中包含有嵌埋式之動態隨機存取記憶體(embedded DRAM)、嵌埋式之靜態隨機存取記憶體(embedded SRAM)以及特殊應用積體電路(ASIC)等等，其內製作有至少兩種不同型式的電晶體元件，如：記憶元件以及邏輯元件，且需要提供不同的操作電壓以及驅動電路，因此各種型式之電晶體元件會依據設計規則而製作不同的側壁子寬度。側壁子是一製作於閘極層之側壁上的介電層，用來定義輕摻雜汲極(LDD)結構的寬度，可使電晶體通道具有一個適當的電阻值。於縮短側壁子寬度的情況下，其優點為降低淺接面之源極和汲極的串聯電阻值以提供較佳之電性表現，但其缺點為明顯增加LDD區域之電場，進而導致嚴重的熱載子效應或短通道問題。相對地，於增加側壁子寬度的情況下，其優點為消除熱載子效應並解決短通道問題，但缺點為增加源極和汲極之間的漏電流問題。有鑑於此，如何製作不同的側壁子寬度以同時滿足不同型式之電晶體元件的電性需求，是當前極需研究的課題。

美國專利第6,316,304號揭示一種側壁子製程，係利

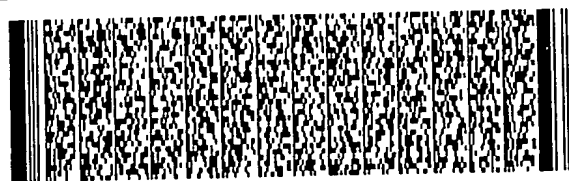


五、發明說明 (2)

用兩層氧化矽材質之堆疊厚度差，以提供兩種側壁子寬度。請參閱第1A至1F圖，其顯示習知製作兩種側壁子寬度之方法的剖面示意圖。

如第1A圖所示，一半導體基底10上包含有一場氧化層12，係用來隔離一第一MOS電晶體區域I以及一第二MOS電晶體區域II，其中於第一MOS電晶體區域I內包含有一第一閘極介電層14I、一第一閘極導電層16I以及一第一LDD區域18I，而於第二MOS電晶體區域II內包含有一第二閘極介電層14II、一第二閘極導電層16II以及一第二LDD區域18II。依序地於上述之半導體基底10之整個表面上順應性地沉積一氧化矽襯層20、一氮化矽蝕刻停止層22以及一厚度100~400 Å之第一側壁子氧化矽層24，而後提供一光阻層26以覆蓋第二MOS電晶體區域II。然後，如第1B圖所示，進行濕蝕刻製程以去除光阻層26圖案以外之第一側壁子氧化矽層24，則暴露第一MOS電晶體區域I之氮化矽蝕刻停止層22，並保留第二MOS電晶體區域II之第一側壁子氧化矽層24。隨後將光阻層26移除。接著，如第1C圖所示，於上述之半導體基底10之整個表面上順應性地沉積一厚度300~800 Å之第二側壁子氧化矽層28。

後續，如第1D圖所示，進行乾蝕刻製程直至暴露閘極導電層16I、16II之頂面上的氮化矽蝕刻停止層22，則第一閘極導電層16I之側壁上殘留有第二側壁子氧化矽層28，且第二閘極導電層16I之側壁上殘留有第一側壁子氧化矽層24以及第二側壁子氧化矽層28。繼續，如第1E圖所

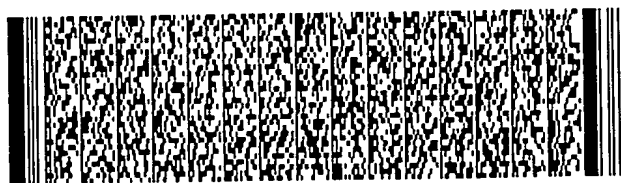


五、發明說明 (3)

示，進行電漿蝕刻製程以去除閘極導電層16I、16II之頂面上的氮化矽蝕刻停止層22，便完成側壁子結構之製作。於第一MOS電晶體區域I內之第一閘極導電層16I的側壁子寬度為 W_1 ，而於第二MOS電晶體區域II內之第二閘極導電層16II的側壁子寬度為 W_2 ，其關係為： $W_2 - W_1 = 100 \sim 400 \text{ \AA}$ 。最後，如第1F圖所示，進行離子佈植製程並利用上述側壁子結構作為罩幕，可分別於第一LDD區域18I、第二LDD區域18II內形成一源/汲極擴散區域29，則第一LDD區域18I、第二LDD區域18II之寬度乃取決於第一閘極導電層16I的側壁子寬度 W_1 、第二閘極導電層16II的側壁子寬度 W_2 。然而，上述製程必需藉由控制第一側壁子氧化矽層24以及第二側壁子氧化矽層28之沉積厚度的差異以達到不同的側壁子寬度 W_1 、 W_2 ，這在製程條件操作上會遭遇困難。

美國專利第6,344,398號揭示一種側壁子製程，係於不同的電晶體區域內製作不同寬度之氧化矽側壁子以及氮化矽側壁子。請參閱第2A至2D圖，其顯示習知製作兩種側壁子寬度之方法的剖面示意圖。

如第2A圖所示，一半導體基底30之表面上包含有一第一閘極導電層32I、一第二閘極導電層32II以及一第三閘極導電層32III，且第一閘極導電層32I與第二閘極導電層32II周圍之半導體基底30內形成有一LDD區域34。然後，沉積一厚度 $1000 \sim 1500 \text{ \AA}$ 之氧化矽層並進行反應性離子蝕刻製程，分別於第一閘極導電層32I、第二閘極導電層32II以及第三閘極導電層32III之側壁上形成一氧化矽側



五、發明說明 (4)

36。隨後，提供一第一光阻層38以覆蓋第一閘極導電層32I，並暴露第二閘極導電層32II以及第三閘極導電層32III。接著，如第2B圖所示，進行濕蝕刻製程，以去除第二閘極導電層32II以及第三閘極導電層32III之氧化矽側壁子36。將第一光阻層38移除之後，於上述之半導體基底30之整個表面上沉積一厚度1500~2000 Å之氮化矽層40。

後續，如第2C圖所示，進行反應性離子蝕刻製程，以於第二閘極導電層32II以及第三閘極導電層32III之側壁上形成一氮化矽側壁子40a，同時可於第一閘極導電層32I之氧化矽側壁子36上形成一較小的氮化矽側壁子40b。而後，於上述之半導體基底30表面上順應性地沉積一氧化矽層42，再利用一第二光阻層44定義氧化矽層42的圖案，使氧化矽層42覆蓋第二閘極導電層32II及其氮化矽側壁子40a。後續將第二光阻層44去除。

最後，如第2D圖所示，進行濕蝕刻製程，以去除第三閘極導電層32III之氮化矽側壁子40a，並同時去除第一閘極導電層32I之氧化矽側壁子36上的氮化矽側壁子40b。如此一來，第一閘極導電層32I之氧化矽側壁子36的寬度 W_1 不同於第二閘極導電層32II之氮化矽側壁子40a的寬度 W_2 。而後進行離子佈植製程並利用上述側壁子結構作為罩幕，可於第一閘極導電層32I、第二閘極導電層32II之周圍的LDD區域34內形成一源/汲極擴散區域46，並同時於第三閘極導電層32III之周圍的半導體基底30內形成一源/汲極擴散



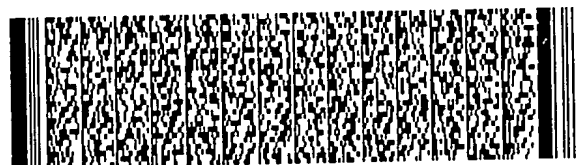
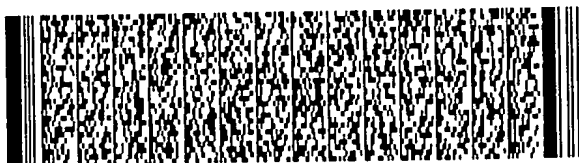
五、發明說明 (5)

區域46。然而，上述製程必需藉由控制氧化矽側壁子36以及氮化矽側壁子40之沉積厚度的差異以達到不同的側壁子寬度 W_1 、 W_2 ，這在製程條件操作上會遭遇困難。

發明內容

有鑑於此，本發明之一主要目的就在於利用多層氮化矽材質的堆疊厚度差異，可以使不同型式之電晶體元件具有不同的側壁子寬度。

為達成上述目的，本發明提供一種製作多種側壁子寬度的方法，包括下列步驟：提供一半導體基底，其包含有一第一電晶體區域、一第二電晶體區域以及一第三電晶體區域；分別形成一第一閘極結構、一第二閘極結構以及一第三閘極結構於該第一電晶體區域、該第二電晶體區域以及該第三電晶體區域之該半導體基底表面上；形成一襯層於該半導體基底表面上，以覆蓋該第一閘極結構、該第二閘極結構以及該第三閘極結構；形成一第一側壁子層，係覆蓋該第三電晶體區域之該襯層；形成一第二側壁子層，係覆蓋該第二電晶體區域之該襯層，並覆蓋該第三電晶體區域之該第一側壁子層；形成一第三側壁子層，係覆蓋該第一電晶體區域之該襯層，且覆蓋該第二電晶體區域之該第二側壁子層，並覆蓋該第三電晶體區域之該第二側壁子層；以及進行非等向性蝕刻製程，去除部份之該第三側壁子層、該第二側壁子層、該第一側壁子層以及該襯層，直



五、發明說明 (6)

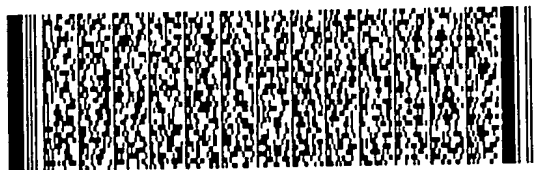
至暴露該第一閘極結構、該第二閘極結構以及該第三閘極結構之頂面之該襯層。其中，殘留於該第一閘極結構側壁上之該襯層與該第三側壁子層係成為一第一側壁子結構，殘留於該第二閘極結構側壁上之該襯層、該第二側壁子層與該第三側壁子層係成為一第二側壁子結構，殘留於該第三閘極結構側壁上之該襯層、該第一側壁子層、該第二側壁子層與該第三側壁子層係成為一第三側壁子結構。其中，該第一側壁子結構之寬度 W_1 、該第二側壁子結構之寬度 W_2 以及該第三側壁子結構之寬度 W_3 符合下列關係式：

$$W_1 < W_2 < W_3。$$

本發明之另一主要目的就在於利用多層之閘極結構的堆疊厚度差異，可以使不同型式之電晶體元件具有不同的側壁子寬度。

為達成上述目的，本發明提供一種製作多種側壁子寬度的方法，包括下列步驟：提供一半導體基底，其包含有一第一電晶體區域、一第二電晶體區域以及一第三電晶體區域；形成一第一導電層，係覆蓋該第一電晶體區域之該半導體基底表面；

形成一第二導電層，係覆蓋該第一電晶體區域之該第一導電層，並覆蓋該第二電晶體區域之該半導體基底表面；形成一第三導電層，係覆蓋該第一電晶體區域之該第二導電層，且覆蓋該第二電晶體區域之該第一導電層，並覆蓋該第三電晶體區域之該半導體基底表面；進行微影與蝕刻製程，分別於該第一電晶體區域、該第二電晶體區域以及



五、發明說明 (7)

該第三電晶體區域上定義形成一第一閘極結構、一第二閘極結構以及一第三閘極結構。其中，該第一閘極結構係由該第一導電層、該第二導電層以及該第三導電層所構成，該第二閘極結構係由該第二導電層以及該第三導電層所構成，該第三閘極結構係由該第三導電層所構成。形成一側壁子層於該半導體基底表面上，以覆蓋該第一閘極結構、該第二閘極結構以及該第三閘極結構；以及進行非等向性蝕刻製程，去除部份之該側壁子層，直至暴露該第一閘極結構、該第二閘極結構以及該第三閘極結構之頂面，其中殘留於該第一閘極結構側壁上之該側壁子層係成為一第一側壁子結構，殘留於該第二閘極結構側壁上之該側壁子層係成為一第二側壁子結構，殘留於該第三閘極結構側壁上之該側壁子層係成為一第三側壁子結構。該第一閘極結構之高度 H_1 、該第二閘極結構之高度 H_2 以及該第三閘極結構之高度 H_3 符合下列關係式： $H_1 > H_2 > H_3$ ；該第一側壁子結構之寬度 W_1 、該第二側壁子結構之寬度 W_2 以及該第三側壁子結構之寬度 W_3 符合下列關係式： $W_1 > W_2 > W_3$ 。

實施方式

為了讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖示，作詳細說明如下：

第一實施例：

本發明第一實施例之多種側壁子寬度之製作方法，係

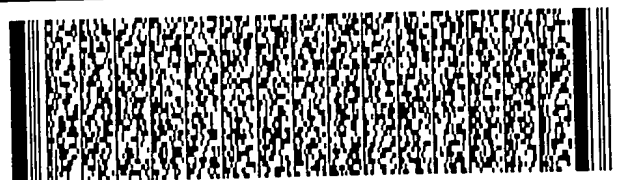
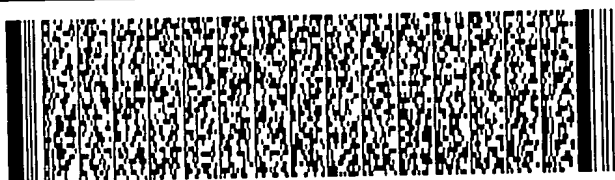


五、發明說明 (8)

利用多層之氮化矽材質的堆疊厚度差異，可以使不同型式之電晶體元件具有不同的側壁子寬度。請參閱第3A至3E圖，其顯示本發明第一實施例之多種側壁子寬度之製作方法的剖面示意圖。

如第3A圖所示，一半導體基底50表面上定義有一第一電晶體區域I、一第二電晶體區域II以及一第三電晶體區域III。其中，第一電晶體區域I內設置有一第一閘極介電層52I以及一第一閘極結構54I，第二電晶體區域II內設置有一第二閘極介電層52II以及一第二閘極結構54II，第三電晶體區域III內設置有一第三閘極介電層52III以及一第三閘極結構54III。較佳者為，閘極結構54I、54II、54III為一多晶矽層，閘極介電層52I、52II、52III為一氧化矽層。此外，依據產品設計與製程需求，可利用閘極結構54I、54II、54III作為罩幕以進行一離子佈植製程，則可於半導體基底50內形成一第一離子佈植區域，其實施方式、位置與摻雜濃度可依據需求作適當調整，故不詳細繪製於圖式中，也不限制於本發明第一實施例中。以下詳細說明本發明第一實施例之多種側壁子寬度之製作方法。

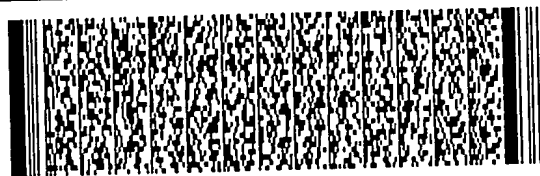
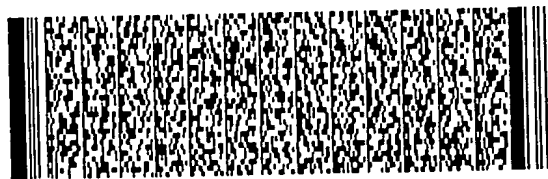
首先，如第3A圖所示，於上述之半導體基底50之表面上順應性地沉積一氧化矽襯層56。然後，如第3B圖所示，於氧化矽襯層56之表面上沉積一第一氮化矽側壁子層58，再提供一第一光阻層60以覆蓋第三電晶體區域III。接著，利用第一光阻層60作為罩幕，將第一電晶體區域I以及第二電晶體區域II之第一氮化矽側壁子層58去除，僅使



五、發明說明 (9)

第一氮化矽側壁子層58殘留於第三電晶體區域III內。爾後，將第一光阻層60去除。後續，如第3C圖所示，於上述之半導體基底50之表面上沉積一第二氮化矽側壁子層62，再提供一第二光阻層64以覆蓋第二電晶體區域II以及第三電晶體區域III。然後，利用第二光阻層64作為罩幕，將第一電晶體區域I之第二氮化矽側壁子層62去除，僅使第二氮化矽側壁子層62殘留於第二電晶體區域II以及第三電晶體區域III內。爾後，將第二光阻層64去除。

接著，如第3D圖所示，於上述之半導體基底50之表面上沉積一第三氮化矽側壁子層66。最後，如第3E圖所示，進行側壁子蝕刻製程，例如：非等向性蝕刻製程，去除大部份之第三氮化矽側壁子層66、第二氮化矽側壁子層62、第一氮化矽側壁子層58與氧化矽襯層56，直至暴露閘極結構54I、54II、54III之頂面上的氧化矽襯層56。如此一來，位於第一電晶體區域I內，殘留於第一閘極結構54I之側壁上的氧化矽襯層56以及第三氮化矽側壁子層66成為一第一側壁子結構68I，其寬度為 W_1 ；位於第二電晶體區域II內，殘留於第二閘極結構54II之側壁上的氧化矽襯層56、第二氮化矽側壁子層62以及第三氮化矽側壁子層66成為一第二側壁子結構68II，其寬度為 W_2 ；位於第三電晶體區域III內，殘留於第三閘極結構54III之側壁上的氧化矽襯層56、第一氮化矽側壁子層58、第二氮化矽側壁子層62以及第三氮化矽側壁子層66成為一第三側壁子結構68III，其寬度為 W_3 。後續依據產品設計與製程需求，可利用上述之



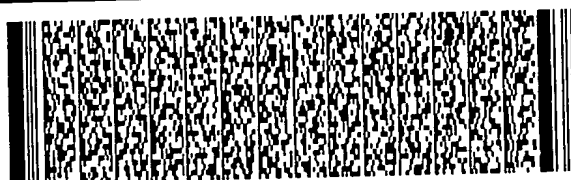
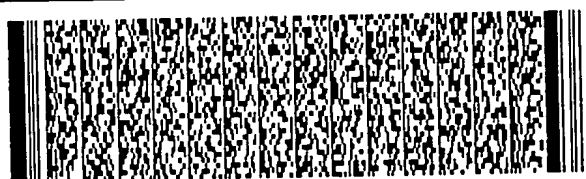
五、發明說明 (10)

側壁子結構68I、68II、68III作為罩幕以進行一離子佈植製程，則可於半導體基底50內形成一第二離子佈植區域，其實施方式、位置與摻雜濃度可依據需求作適當調整，故不詳細繪製於圖式中，也不限制於本發明第一實施例中。

由上述可知，第一側壁子結構68I是由氧化矽襯層56以及第三氮化矽側壁子層66所堆疊而成，第二側壁子結構68II是由氧化矽襯層56、第二氮化矽側壁子層62以及第三氮化矽側壁子層66所堆疊而成，第三側壁子結構68III是由氧化矽襯層56、第一氮化矽側壁子層58、第二氮化矽側壁子層62以及第三氮化矽側壁子層66所堆疊而成，因此第一側壁子結構68I的寬度 W_1 、第二側壁子結構68II的寬度 W_2 、第三側壁子結構68III的寬度 W_3 符合下列關係式： $W_1 < W_2 < W_3$ 。較佳者為，第一側壁子結構68I的寬度 W_1 較小，因此第一電晶體區域I適用於CPU之電晶體製程；第二側壁子結構68II的寬度 W_2 居中，因此第二電晶體區域II適用於ASIC或一般的電晶體製程；第三側壁子結構68III的寬度 W_3 較大，因此第三電晶體區域III適用於低壓元件的電晶體製程。

相較於習知技術，本發明第一實施例係調整三層之氮化矽材質的堆疊圖案，可分別於三個電晶體區域內提供三種不同的側壁子寬度，且不需要特意控制三層之氮化矽材質的沉積厚度，因此具有製程簡單且易於控制側壁子寬度的優點。

第二實施例：



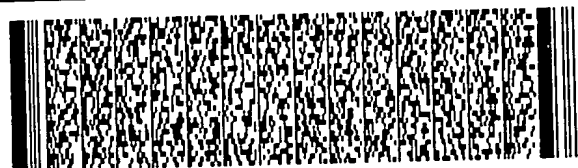
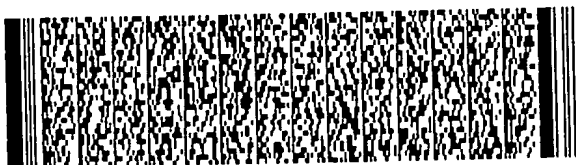
五、發明說明 (11)

本發明第二實施例之多種側壁子寬度之製作方法，係利用多層之閘極結構的堆疊厚度差異，可以使不同型式之電晶體元件具有不同的側壁子寬度。請參閱第4A至4F圖，其顯示本發明第二實施例之多種側壁子寬度之製作方法的剖面示意圖。

如第4A圖所示，一半導體基底70表面上定義有一第一電晶體區域I、一第二電晶體區域II以及一第三電晶體區域III，且一閘極介電層72沉積於半導體基底70之表面上。較佳者為，閘極介電層72為一氧化矽層。以下詳細說明本發明第一實施例之多種側壁子寬度之製作方法。

首先，如第4A圖所示，於上述之半導體基底70的表面上沉積一第一導電層74，較佳者為一多晶矽層、一非晶質矽層、一多晶矽-矽化鍺(SiGe)層、一金屬矽化物層(如：矽化鎢層)或一金屬層。然後，提供一第一光阻層76以覆蓋第一電晶體區域I，再利用第一光阻層76作為罩幕以進行乾蝕刻製程，將第二電晶體區域II以及第三電晶體區域III之第一導電層74去除，僅使第一導電層74殘留於第一電晶體區域I內。隨後將第一光阻層76去除。

接著，如第4B圖所示，於上述之半導體基底70的表面上沉積一第二導電層78，較佳者為一多晶矽層、一非晶質矽層、一多晶矽-矽化鍺(SiGe)層、一金屬矽化物層(如：矽化鎢層)或一金屬層。然後，提供一第二光阻層80以覆蓋第一電晶體區域I以及第二電晶體區域II，再利用第二光阻層80作為罩幕以進行乾蝕刻製程，將第三電晶體區域

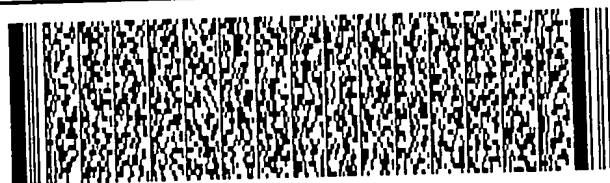
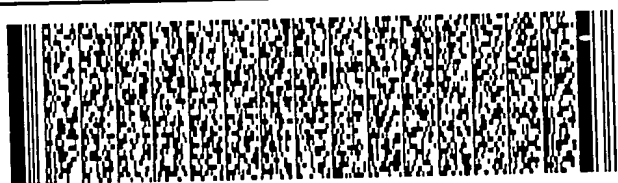


五、發明說明 (12)

II 之第二導電層78去除，僅使第二導電層78殘留於第一電晶體區域I以及第二電晶體區域II內。隨後將第二光阻層80去除。

依序，如第4C圖所示，於上述之半導體基底70的表面上沉積一第三導電層82，較佳者為一多晶矽層、一非晶質矽層、一多晶矽-矽化鍺(SiGe)層、一金屬矽化物層(如：矽化鎢層)或一金屬層。然後，提供一第三光阻層(未顯示於圖中)作為閘極圖案的罩幕，進行乾蝕刻製程以定義形成一第一閘極結構84I、一第二閘極結構84II以及一第三閘極結構84III，再將第三光阻層去除，結果如第4D圖所示。於第一電晶體區域I內，第一閘極結構84I是由第一導電層74、第二導電層78以及第三導電層82所堆疊而成，其高度為 H_1 ；於第二電晶體區域II內，第二閘極結構84II是由第二導電層78以及第三導電層82所堆疊而成，其高度為 H_2 ；於第三電晶體區域III內，第三閘極結構84III是由第三導電層82所構成，其高度為 H_3 。因此，第一閘極結構84I之高度 H_1 、第二閘極結構84II之高度 H_2 、第三閘極結構84III之高度 H_3 ，符合下列關係式： $H_1 > H_2 > H_3$ 。此外，依據產品設計與製程需求，可利用閘極結構84I、84II、84III作為罩幕以進行一離子佈植製程，則可於半導體基底70內形成一第一離子佈植區域，其實施方式、位置與摻雜濃度可依據需求作適當調整，故不詳細繪製於圖式中，也不限制於本發明第二實施例中。

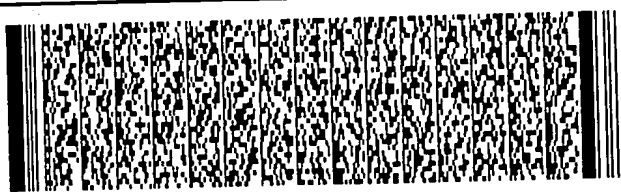
繼續，如第4E圖所示，於上述之半導體基底70的表面



五、發明說明 (13)

上沉積一側壁子介電層86，較佳者為一氧化矽層、一氮化矽層或 SiO_2/SiN 之堆疊層。最後，如第4F圖所示，進行側壁子蝕刻製程以去除大部份之側壁子介電層86，直至暴露閘極結構84I、84II、84III之頂面，則殘留於第一閘極結構84I之側壁上的側壁子介電層86成為一第一側壁子結構86I，其寬度為 W_1 ；殘留於第二閘極結構84II之側壁上的側壁子介電層86成為一第二側壁子結構86II，其寬度為 W_2 ；殘留於第三閘極結構84III之側壁上的側壁子介電層86成為一第三側壁子結構86III，其寬度為 W_3 。後續依據產品設計與製程需求，可利用上述之側壁子結構86I、86II、86III作為罩幕以進行一離子佈植製程，則可於半導體基底70內形成一第二離子佈植區域，其實施方式、位置與摻雜濃度可依據需求作適當調整，故不詳細繪製於圖式中，也不限制於本發明第二實施例中。

由上述可知，第一閘極結構84I之高度 H_1 、第二閘極結構84II之高度 H_2 、第三閘極結構84III之高度 H_3 符合下列關係式： $H_1 > H_2 > H_3$ ，因此在後續之側壁子沉積與蝕刻製程中，階梯覆蓋效應與非等向蝕刻特性會因閘極結構84I、84II、84III高度差異而有所不同，故結果可使第一側壁子結構86I的寬度 W_1 、第二側壁子結構86II的寬度 W_2 、第三側壁子結構86III的寬度 W_3 符合下列關係式： $W_1 > W_2 > W_3$ 。較佳者為，第一側壁子結構86I的寬度 W_1 較大，因此第一電晶體區域I適用於低壓元件的電晶體製程；第二側壁子結構86II的寬度 W_2 居中，因此第二電晶體區域II適用於ASIC或



五、發明說明 (14)

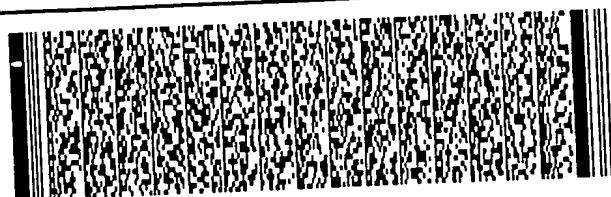
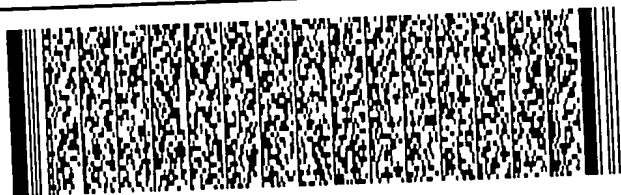
一般的電晶體製程；第三側壁子結構86III的寬度 W_3 較小，因此第三電晶體區域III適用於CPU之電晶體製程。

相較於習知技術，本發明第二實施例係調整三層之導電材質的堆疊圖案，可分別於三個電晶體區域內提供三種不同高度的閘極結構，進而形成三種不同的側壁子寬度，且不需要特意控制三層之導電材質的沉積厚度，因此具有製程簡單且易於控制側壁子寬度的優點。

第三實施例：

本發明第三實施例係改良第二實施例之製作方法，利用一層抗反射塗層(BARC)搭配多層之閘極結構的堆疊厚度差異，可以使不同型式之電晶體元件具有不同的側壁子寬度。請參閱第5A至5D圖，其顯示本發明第三實施例之多種側壁子寬度之製作方法的剖面示意圖。

如第5A圖所示，一半導體基底70表面上定義有一第一電晶體區域I、一第二電晶體區域II以及一第三電晶體區域III，且一閘極介電層72沉積於半導體基底70之表面上。首先，於上述之半導體基底70的表面上沉積一第一導電層74，較佳者為一多晶矽層、一非晶質矽層、一多晶矽-矽化鍺(SiGe)層、一金屬矽化物層(如：矽化鎢層)或一金屬層。然後，提供一第一光阻層76以覆蓋第一電晶體區域I以及第二電晶體區域II，再利用第一光阻層76作為罩幕以進行乾蝕刻製程，將第三電晶體區域III之第一導電層74去除，僅使第一導電層74殘留於第一電晶體區域I以及第二電晶體區域II內。隨後將第一光阻層76去除。

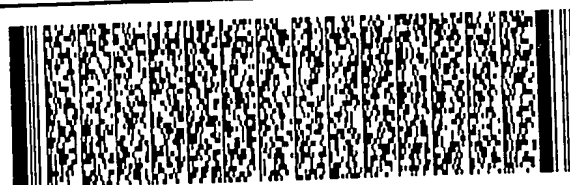
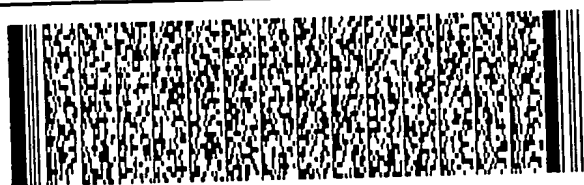


五、發明說明 (15)

接著，如第5B圖所示，於上述之半導體基底70的表面上沉積一第二導電層78，較佳者為一多晶矽層、一非晶質矽層、一多晶矽-矽化鍺(SiGe)層、一金屬矽化物層(如：矽化鎢層)或一金屬層。然後，於第二導電層78表面上沉積一底部抗反射塗層(BARC) 88，較佳者為一SiON層。後續，提供一第二光阻層80以覆蓋第一電晶體區域I，再利用第二光阻層80作為罩幕以進行乾蝕刻製程，將第二電晶體區域II以及第三電晶體區域III之底部抗反射塗層88去除，僅使底部抗反射塗層88殘留於第一電晶體區域I內。隨後將第二光阻層80去除。

依序，如第5C圖所示，提供一第三光阻層(未顯示於圖中)作為閘極圖案的罩幕，進行乾蝕刻製程以定義形成一第一閘極結構84I、一第二閘極結構84II以及一第三閘極結構84III，再將第三光阻層去除。於第一電晶體區域I內，第一閘極結構84I是由第一導電層74、第二導電層78以及底部抗反射塗層88所堆疊而成，其高度為 H_1 ；於第二電晶體區域II內，第二閘極結構84II是由第二導電層78以及第一導電層74所堆疊而成，其高度為 H_2 ；於第三電晶體區域III內，第三閘極結構84III是由第二導電層78所構成，其高度為 H_3 。因此，第一閘極結構84I之高度 H_1 、第二閘極結構84II之高度 H_2 、第三閘極結構84III之高度 H_3 符合下列關係式： $H_1 > H_2 > H_3$ 。

最後，如第5D圖所示，於上述之半導體基底70的表面上沉積一側壁介電層86，並進行側壁蝕刻製程以去除



五、發明說明 (16)

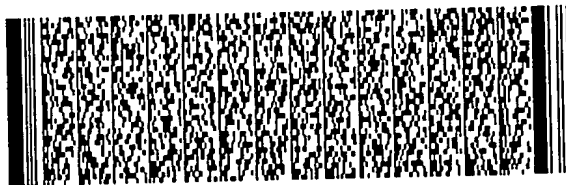
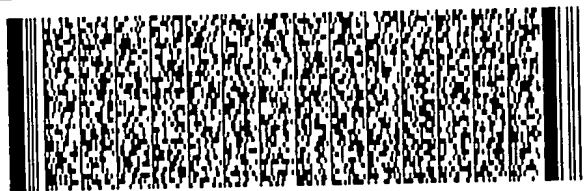
大部份之側壁子介電層86，直至暴露閘極結構84I、84II、84III之頂面，則殘留於第一閘極結構84I之側壁上的側壁子介電層86成為一第一側壁子結構86I，其寬度為 W_1 ；殘留於第二閘極結構84II之側壁上的側壁子介電層86成為一第二側壁子結構86II，其寬度為 W_2 ；殘留於第三閘極結構84III之側壁上的側壁子介電層86成為一第三側壁子結構86III，其寬度為 W_3 ，符合下列關係式： $W_1 > W_2 > W_3$ 。

相較於習知技術，本發明第三實施例係藉由一層抗反射塗層(BARC)搭配兩層之導電材質的堆疊圖案，可分別於三個電晶體區域內提供三種不同高度的閘極結構，進而形成三種不同的側壁子寬度，且不需要特意控制三層之導電材質的沉積厚度，因此具有製程簡單且易於控制側壁子寬度的優點。

第四實施例：

本發明第四實施例之多種側壁子寬度的製作方法，係結合前述第一實施例與第二實施例之特徵，利用閘極結構的高度差異搭配多層氮化矽材質的堆疊厚度差異，可以使不同型式之電晶體元件具有不同的側壁子寬度。請參閱第6A至6D圖，其顯示本發明第四實施例之多種側壁子寬度之製作方法的剖面示意圖。

如第6A圖所示，一半導體基底90表面上定義有一第一電晶體區域I、一第二電晶體區域II以及一第三電晶體區域III，且一閘極介電層92沉積於半導體基底90之表面上。以下詳細說明本發明第四實施例之多種側壁子寬度之



五、發明說明 (17)

製作方法。

首先，於閘極介電層92上製作一高度為 H_1 之第一閘極結構94I、一高度為 H_2 之第二閘極結構94II以及一高度為 H_3 之第三閘極結構94III，且符合下列關係式： $H_1 = H_2 > H_3$ 。閘極結構94I、94II、94III之製作方法較佳者為：利用沉積、微影與蝕刻步驟，於第一電晶體區域I以及第二電晶體區域II內形成一第一導電層，然後半導體基底90的表面上沉積一第二導電層，後續利用微影與蝕刻步驟以定義閘極結構94I、94II、94III的圖案。閘極結構94I、94II、94III之材質較佳者為多晶矽、非晶質矽、多晶矽-矽化鍺(SiGe)、金屬矽化物(如：矽化鎢)或金屬材料。此外，依據產品設計與製程需求，可利用閘極結構94I、94II、94III作為罩幕以進行一離子佈植製程，則可於半導體基底90內形成一第一離子佈植區域，其實施方式、位置與摻雜濃度可依據需求作適當調整，故不詳細繪製於圖式中，也不限制於本發明第四實施例中。

然後，如第6B圖所示，依序於上述半導體基底90之表面上順應性地沉積一氧化矽襯層96以及一第一氮化矽側壁子層98，再提供一第一光阻層100以覆蓋第一電晶體區域I。接著，利用第一光阻層100作為罩幕，將第二電晶體區域II以及第三電晶體區域III之第一氮化矽側壁子層98去除，僅使第一氮化矽側壁子層98殘留於第一電晶體區域I內。爾後，將第一光阻層100去除。後續，如第6C圖所示，於上述之半導體基底90之表面上沉積一第二氮化矽側

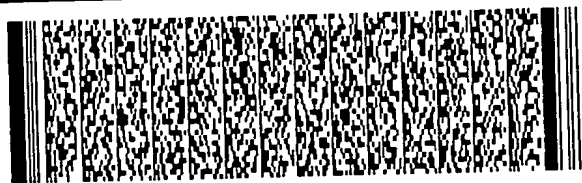


五、發明說明 (18)

壁子層102。

最後，如第6D圖所示，進行側壁子蝕刻製程，例如：非等向性蝕刻製程，去除大部份之第二氮化矽側壁子層102、第一氮化矽側壁子層98與氧化矽襯層96，直至暴露閘極結構94I、94II、94III之頂面上的氧化矽襯層96。如此一來，位於第一電晶體區域I內，殘留於第一閘極結構94I之側壁上的氧化矽襯層56、第一氮化矽側壁子層98以及第二氮化矽側壁子層102成為一第一側壁子結構104I，其寬度為 W_1 ；位於第二電晶體區域II內，殘留於第二閘極結構94II之側壁上的氧化矽襯層96以及第二氮化矽側壁子層102成為一第二側壁子結構104II，其寬度為 W_2 ；位於第三電晶體區域III內，殘留於第三閘極結構94III之側壁上的氧化矽襯層56以及第二氮化矽側壁子層102成為一第三側壁子結構104III，其寬度為 W_3 。後續依據產品設計與製程需求，可利用上述之側壁子結構104I、104II、104III作為罩幕以進行一離子佈植製程，則可於半導體基底90內形成一第二離子佈植區域，其實施方式、位置與摻雜濃度可依據需求作適當調整，故不詳細繪製於圖式中，也不限制於本發明第四實施例中。

由上述可知，第一閘極結構94I、第二閘極結構94II以及第三閘極結構94III之高度符合下列關係式： $H_1 = H_2 > H_3$ ，而且第一側壁子結構104I是由氧化矽襯層56、第一氮化矽側壁子層98以及第二氮化矽側壁子層102所堆疊而成，第二側壁子結構104II是由氧化矽襯層96以及第二



五、發明說明 (19)

氮化矽側壁子層102所堆疊而成，第三側壁子結構104III是由氧化矽襯層96以及第二氮化矽側壁子層102所堆疊而成。因此，利用閘極結構94I、94II、94III的圖案高度差異搭配多層氮化矽側壁子層98、102的堆疊厚度差異，第一側壁子結構104I的寬度 W_1 、第二側壁子結構104II的寬度 W_2 、第三側壁子結構104III的寬度 W_3 符合下列關係式： $W_1 > W_2 > W_3$ 。較佳者為，第一側壁子結構104I的寬度 W_1 較大，因此第一電晶體區域I適用於低壓元件的電晶體製程；第二側壁子結構104II的寬度 W_2 居中，因此第二電晶體區域II適用於ASIC或一般的電晶體製程；第三側壁子結構104III的寬度 W_3 較小，因此第三電晶體區域III適用於CPU的電晶體製程。

相較於習知技術，本發明第四實施例係控制兩層導電層之堆疊圖案以提供兩種不同高度的閘極結構，並同時調整兩層之氮化矽側壁子層的堆疊圖案，則可分別於三個電晶體區域內提供三種不同的側壁子寬度，且不需要特意控制導電層或氮化矽層的沉積厚度，因此具有製程簡單且易於控制側壁子寬度的優點。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A至1F圖顯示習知製作兩種側壁子寬度之方法的剖面示意圖。

第2A至2D圖顯示習知製作兩種側壁子寬度之方法的剖面示意圖。

第3A至3E圖顯示本發明第一實施例之多種側壁子寬度之製作方法的剖面示意圖。

第4A至4F圖顯示本發明第二實施例之多種側壁子寬度之製作方法的剖面示意圖。

第5A至5D圖顯示本發明第三實施例之多種側壁子寬度之製作方法的剖面示意圖。

第6A至6D圖顯示本發明第四實施例之多種側壁子寬度之製作方法的剖面示意圖。

符號說明

習知技術

半導體基底~10；

第一MOS電晶體區域~I；

閘極介電層~14I、14II；

LDD區域~18I、18II；

氮化矽蝕刻停止層~22；

光阻層~26；

源/汲極擴散區域~29；

第一閘極導電層~32I；

第三閘極導電層~32III；

場氧化層~12；

第二MOS電晶體區域~II；

閘極導電層~16I、16II；

氧化矽襯層~20；

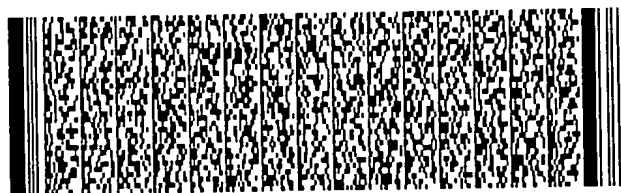
第一側壁子氧化矽層~24；

第二側壁子氧化矽層~28；

半導體基底~30；

第二閘極導電層~32II；

LDD區域~34；



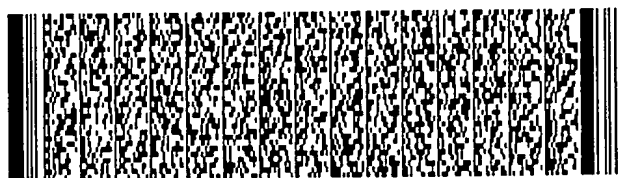
圖式簡單說明

氧化矽側壁子~36 ;
氮化矽層~40 ;
氧化矽層~42 ;
源/汲極擴散區域~46 。

第一光阻層~38 ;
氮化矽側壁子~40a 、40b ;
第二光阻層~44 ;

本發明技術

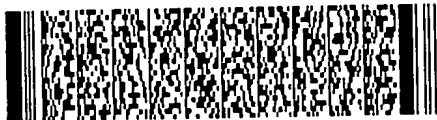
半導體基底~50 、70 、90 ;
第一電晶體區域~I ;
第二電晶體區域~II ;
第三電晶體區域~III ;
閘極介電層~52I 、52II 、52III 、72 、92 ;
氧化矽襯層~56 、96 ;
第一氮化矽側壁子層~58 、98 ;
第二氮化矽側壁子層~62 、102 ;
第三氮化矽側壁子層~66 ;
第一光阻層~60 、76 、100 ;
第二光阻層~64 、80 ;
第一側壁子結構~68I 、86I 、104I ;
第二側壁子結構~68II 、86II 、104II ;
第三側壁子結構~68III 、86III 、104III ;
第一導電層~74 ;
第二導電層~78 ;
第三導電層~82 ;
第一閘極結構~54I 、84I 、94I ;
第二閘極結構~54II 、84II 、94II ;



圖式簡單說明

第三閘極結構~54III、84III、94III

側壁子介電層~86；底部抗反射塗層~88。



六、申請專利範圍

1. 一種製作多種側壁子寬度的方法，包括下列步驟：

提供一半導體基底，其包含有一第一電晶體區域、一第二電晶體區域以及一第三電晶體區域；

分別形成一第一閘極結構、一第二閘極結構以及一第三閘極結構於該第一電晶體區域、該第二電晶體區域以及該第三電晶體區域之該半導體基底表面上；

形成一襯層於該半導體基底表面上，以覆蓋該第一閘極結構、該第二閘極結構以及該第三閘極結構；

形成一第一側壁子層，係覆蓋該第三電晶體區域之該襯層；

形成一第二側壁子層，係覆蓋該第二電晶體區域之該襯層，並覆蓋該第三電晶體區域之該第一側壁子層；

形成一第三側壁子層，係覆蓋該第一電晶體區域之該襯層，且覆蓋該第二電晶體區域之該第二側壁子層，並覆蓋該第三電晶體區域之該第二側壁子層；以及

進行非等向性蝕刻製程，去除部份之該第三側壁子層、該第二側壁子層、該第一側壁子層以及該襯層，直至暴露該第一閘極結構、該第二閘極結構以及該第三閘極結構之頂面之該襯層；

其中，殘留於該第一閘極結構側壁上之該襯層與該第三側壁子層係成為一第一側壁子結構；

其中，殘留於該第二閘極結構側壁上之該襯層、該第二側壁子層與該第三側壁子層係成為一第二側壁子結構；

其中，殘留於該第三閘極結構側壁上之該襯層、該第



六、申請專利範圍

一側壁子層、該第二側壁子層與該第三側壁子層係成為一第三側壁子結構；

其中，該第一側壁子結構之寬度 W_1 、該第二側壁子結構之寬度 W_2 以及該第三側壁子結構之寬度 W_3 符合下列關係式： $W_1 < W_2 < W_3$ 。

2. 如申請專利範圍第1項所述之製作多種側壁子寬度的方法，其中該第一側壁子層係為一氮化矽層。

3. 如申請專利範圍第1項所述之製作多種側壁子寬度的方法，其中該第二側壁子層係為一氮化矽層。

4. 如申請專利範圍第1項所述之製作多種側壁子寬度的方法，其中該第三側壁子層係為一氮化矽層。

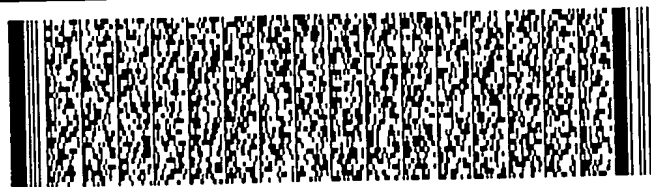
5. 如申請專利範圍第1項所述之製作多種側壁子寬度的方法，其中該襯層係為一氧化矽層。

6. 如申請專利範圍第1項所述之製作多種側壁子寬度的方法，其中每一閘極結構包含有一閘極介電層以及一閘極導電層。

7. 一種製作多種側壁子寬度的方法，包括下列步驟：
提供一半導體基底，其包含有一第一電晶體區域、一第二電晶體區域以及一第三電晶體區域；

形成一第一導電層，係覆蓋該第一電晶體區域之該半導體基底表面；

形成一第二導電層，係覆蓋該第一電晶體區域之該第一導電層，並覆蓋該第二電晶體區域之該半導體基底表面；



六、申請專利範圍

形成一第三導電層，係覆蓋該第一電晶體區域之該第二導電層，且覆蓋該第二電晶體區域之該第一導電層，並覆蓋該第三電晶體區域之該半導體基底表面；

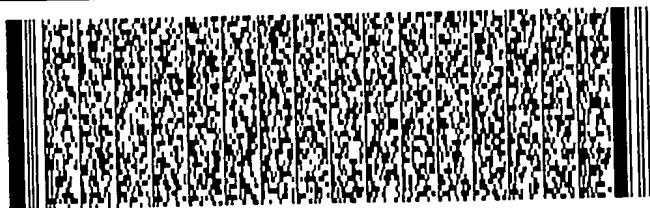
進行微影與蝕刻製程，分別於該第一電晶體區域、該第二電晶體區域以及該第三電晶體區域上定義形成一第一閘極結構、一第二閘極結構以及一第三閘極結構，其中該第一閘極結構係由該第一導電層、該第二導電層以及該第三導電層所構成，該第二閘極結構係由該第二導電層以及該第三導電層所構成，該第三閘極結構係由該第三導電層所構成；

形成一側壁子層於該半導體基底表面上，以覆蓋該第一閘極結構、該第二閘極結構以及該第三閘極結構；以及

進行非等向性蝕刻製程，去除部份之該側壁子層，直至暴露該第一閘極結構、該第二閘極結構以及該第三閘極結構之頂面，其中殘留於該第一閘極結構側壁上之該側壁子層係成為一第一側壁子結構，殘留於該第二閘極結構側壁上之該側壁子層係成為一第二側壁子結構，殘留於該第三閘極結構側壁上之該側壁子層係成為一第三側壁子結構；

其中，該第一閘極結構之高度 H_1 、該第二閘極結構之高度 H_2 以及該第三閘極結構之高度 H_3 符合下列關係式： $H_1 > H_2 > H_3$ ；

其中，該第一側壁子結構之寬度 W_1 、該第二側壁子結構之寬度 W_2 以及該第三側壁子結構之寬度 W_3 符合下列關係



六、申請專利範圍

式： $W_1 > W_2 > W_3$ 。

8. 如申請專利範圍第7項所述之製作多種側壁子寬度的方法，其中該第一導電層係為一多晶矽層、一非晶質矽層、一多晶矽-矽化鍍層、一金屬矽化物層或一金屬層。

9. 如申請專利範圍第7項所述之製作多種側壁子寬度的方法，其中該第二導電層係為一多晶矽層、一非晶質矽層、一多晶矽-矽化鍍層、一金屬矽化物層或一金屬層。

10. 如申請專利範圍第7項所述之製作多種側壁子寬度的方法，其中該第三導電層係為一多晶矽層、一非晶質矽層、一多晶矽-矽化鍍層、一金屬矽化物層或一金屬層。

11. 如申請專利範圍第7項所述之製作多種側壁子寬度的方法，其中該側壁子層係為一氮化矽層、一氧化矽層或氮化矽與氧化矽之組合結構。

12. 如申請專利範圍第7項所述之製作多種側壁子寬度的方法，其中於形成該第一導電層之前，另包含有一步驟：

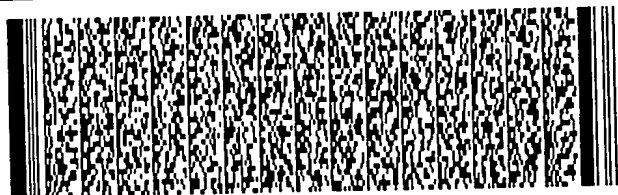
形成一閘極介電層於該半導體基底之表面上。

13. 一種製作多種側壁子寬度的方法，包括下列步驟：

提供一半導體基底，其包含有一第一電晶體區域、一第二電晶體區域以及一第三電晶體區域；

形成一第一導電層，係覆蓋該第一電晶體區域以及該第二電晶體區域之該半導體基底表面；

形成一第二導電層，係覆蓋該第一電晶體區域以及該



六、申請專利範圍

第二電晶體區域之該第一導電層，並覆蓋該第三電晶體區域之該半導體基底表面；

形成一抗反射塗層，係覆蓋該第一電晶體區域之該第二導電層；

進行微影與蝕刻製程，分別於該第一電晶體區域、該第二電晶體區域以及該第三電晶體區域上定義形成一第一閘極結構、一第二閘極結構以及一第三閘極結構，其中該第一閘極結構係由該第一導電層、該第二導電層以及該抗反射塗層所構成，該第二閘極結構係由該第一導電層以及該第二導電層所構成，該第三閘極結構係由該第二導電層所構成；

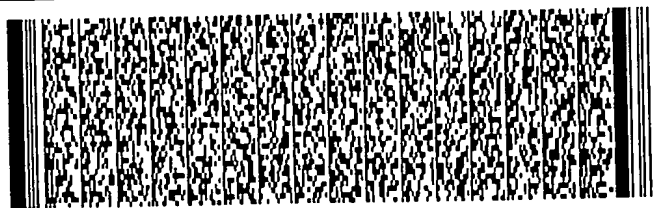
形成一側壁子層於該半導體基底表面上，以覆蓋該第一閘極結構、該第二閘極結構以及該第三閘極結構；以及

進行非等向性蝕刻製程，去除部份之該側壁子層，直至暴露該第一閘極結構、該第二閘極結構以及該第三閘極結構之頂面，其中殘留於該第一閘極結構側壁上之該側壁子層係成為一第一側壁子結構，殘留於該第二閘極結構側壁上之該側壁子層係成為一第二側壁子結構，殘留於該第三閘極結構側壁上之該側壁子層係成為一第三側壁子結構；

其中，該第一閘極結構之高度 H_1 、該第二閘極結構之高度 H_2 以及該第三閘極結構之高度 H_3 符合下列關係式：

$$H_1 > H_2 > H_3 ;$$

其中，該第一側壁子結構之寬度 W_1 、該第二側壁子結



六、申請專利範圍

構之寬度 W_2 以及該第三側壁子結構之寬度 W_3 符合下列關係式： $W_1 > W_2 > W_3$ 。

14. 如申請專利範圍第13項所述之製作多種側壁子寬度的方法，其中該第一導電層係為一多晶矽層、一非晶質矽層、一多晶矽-矽化鍺層、一金屬矽化物層或一金屬層。

15. 如申請專利範圍第13項所述之製作多種側壁子寬度的方法，其中該第二導電層係為一多晶矽層、一非晶質矽層、一多晶矽-矽化鍺層、一金屬矽化物層或一金屬層。

16. 如申請專利範圍第13項所述之製作多種側壁子寬度的方法，其中該抗反射塗層係為一 SiON 層。

17. 如申請專利範圍第13項所述之製作多種側壁子寬度的方法，其中該側壁子層係為一氮化矽層、一氧化矽層或氮化矽與氧化矽之組合結構。

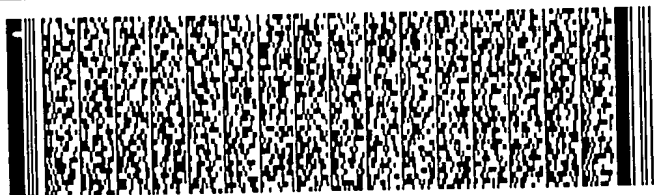
18. 如申請專利範圍第13項所述之製作多種側壁子寬度的方法，其中於形成該第一導電層之前，另包含有一步驟：

形成一閘極介電層於該半導體基底之表面上。

19. 一種製作多種側壁子寬度的方法，包括下列步驟：

提供一半導體基底，其包含有一第一電晶體區域、一第二電晶體區域以及一第三電晶體區域；

分別形成一第一閘極結構、一第二閘極結構以及一第



六、申請專利範圍

三閘極結構於該第一電晶體區域、該第二電晶體區域以及該第三電晶體區域之該半導體基底表面上，其中該第一閘極結構之高度 H_1 、該第二閘極結構之高度 H_2 以及該第三閘極結構之高度 H_3 符合下列關係式： $H_1=H_2>H_3$ ；

形成一襯層於該半導體基底表面上，以覆蓋該第一閘極結構、該第二閘極結構以及該第三閘極結構；

形成一第一側壁子層，係覆蓋該第一電晶體區域之該襯層；

形成一第二側壁子層，係覆蓋該第一電晶體區域之該第一側壁子層，並覆蓋該第二電晶體區域以及該第三電晶體區域之該襯層；以及

進行非等向性蝕刻製程，去除部份之該第二側壁子層、該第一側壁子層以及該襯層，直至暴露該第一閘極結構、該第二閘極結構以及該第三閘極結構之頂面之該襯層；

其中，殘留於該第一閘極結構側壁上之該襯層、該第一側壁子層與該第二側壁子層係成為一第一側壁子結構；

其中，殘留於該第二閘極結構側壁上之該襯層與該第二側壁子層係成為一第二側壁子結構；

其中，殘留於該第三閘極結構側壁上之該襯層與該第二側壁子層係成為一第三側壁子結構；

其中，該第一側壁子結構之寬度 W_1 、該第二側壁子結構之寬度 W_2 以及該第三側壁子結構之寬度 W_3 符合下列關係式： $W_1>W_2>W_3$ 。



六、申請專利範圍

20. 如申請專利範圍第19項所述之製作多種側壁子寬度的方法，其中該第一閘極結構、該第二閘極結構以及該第三閘極結構之製作方法包括下列步驟：

形成一第一導電層，係覆蓋該第一電晶體區域以及該第二電晶體區域之該半導體基底表面；

形成一第二導電層，係覆蓋該第一電晶體區域以及該第二電晶體區域之該第一導電層，並覆蓋該第三電晶體區域之該半導體基底表面；以及

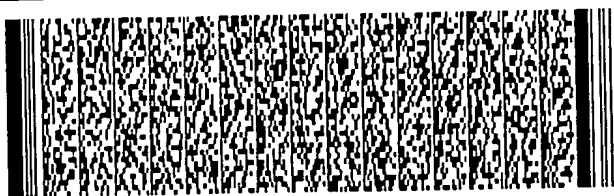
進行微影與蝕刻製程，以去除部份之該第二導電層以及該第一導電層，其中該第一閘極結構係由該第一導電層以及該第二導電層所構成，該第二閘極結構係由該第一導電層以及該第二導電層所構成，該第三閘極結構係由該第二導電層所構成。

21. 如申請專利範圍第20項所述之製作多種側壁子寬度的方法，其中該第一導電層係為一多晶矽層、一非晶質矽層、一多晶矽-矽化鍺層、一金屬矽化物層或一金屬層。

22. 如申請專利範圍第20項所述之製作多種側壁子寬度的方法，其中該第二導電層係為一多晶矽層、一非晶質矽層、一多晶矽-矽化鍺層、一金屬矽化物層或一金屬層。

23. 如申請專利範圍第19項所述之製作多種側壁子寬度的方法，其中該第一側壁子層係為一氮化矽層。

24. 如申請專利範圍第19項所述之製作多種側壁子寬



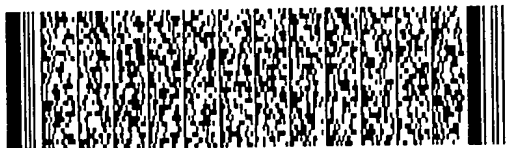
六、申請專利範圍

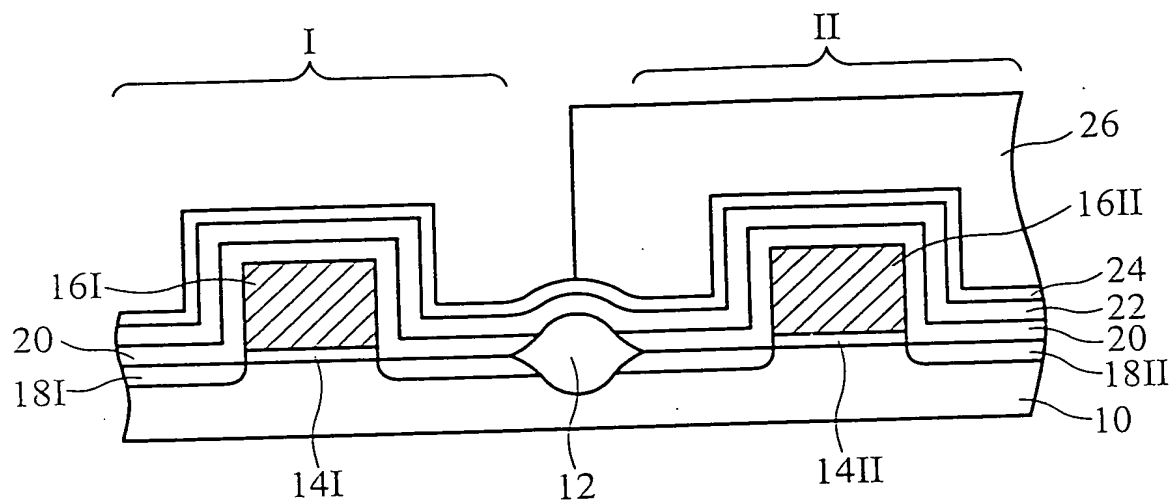
度的方法，其中該第二側壁子層係為一氮化矽層。

25. 如申請專利範圍第19項所述之製作多種側壁子寬度的方法，其中該襯層係為一氧化矽層。

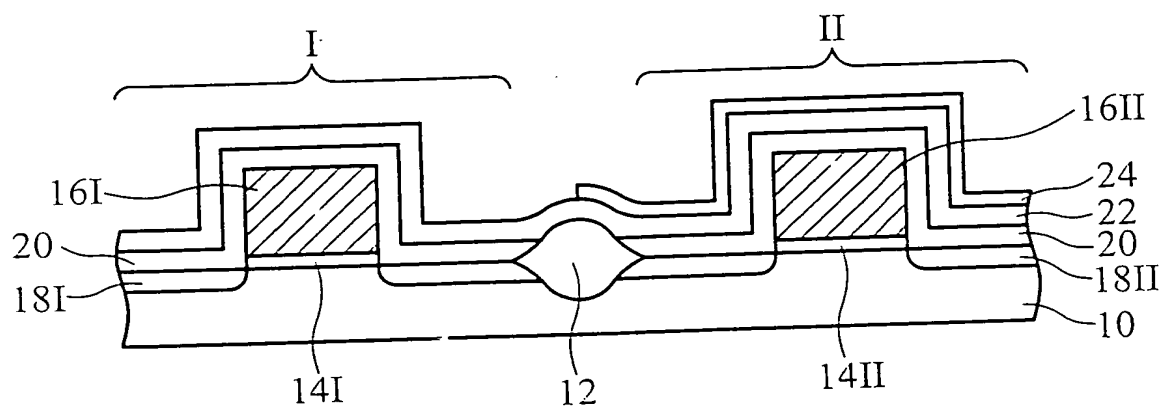
26. 如申請專利範圍第19項所述之製作多種側壁子寬度的方法，其中於形成該閘極結構之前，另包含有一步驟：

形成一閘極介電層於該半導體基底之表面上。

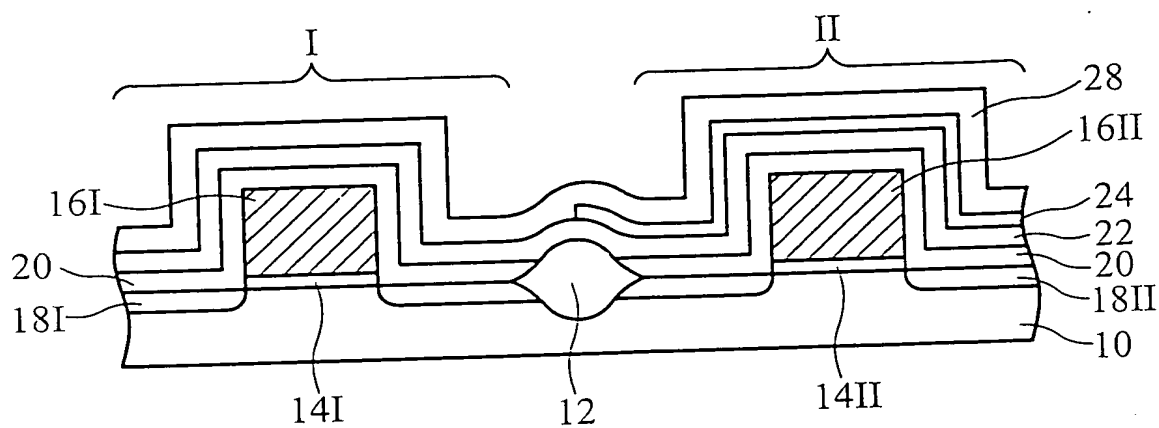




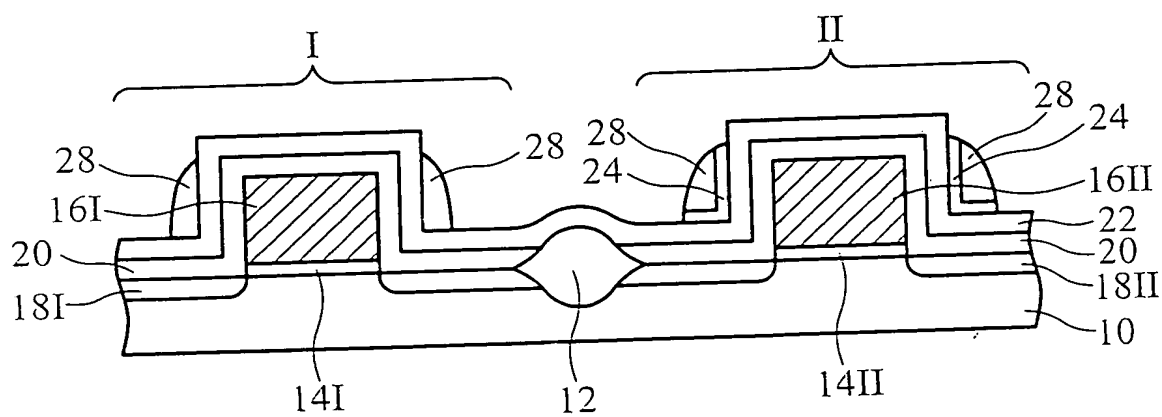
第 1A 圖



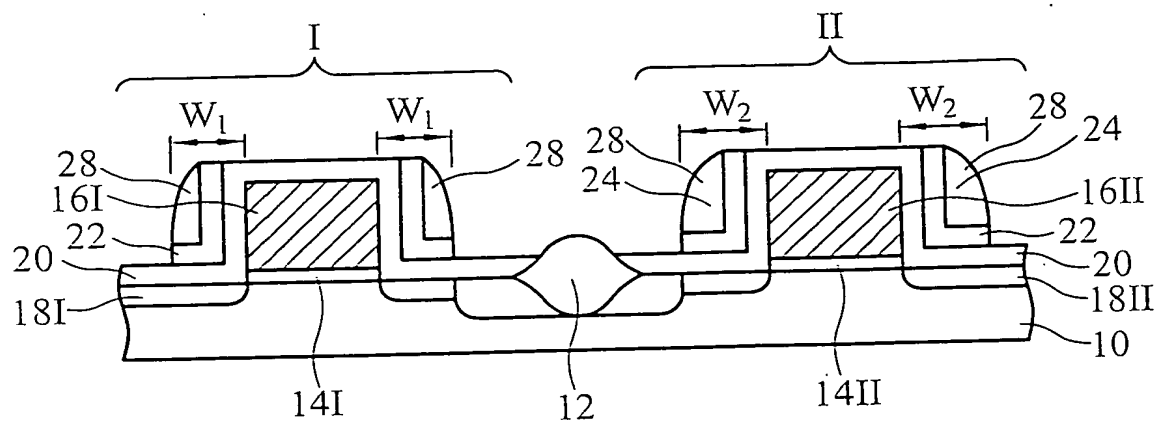
第 1B 圖



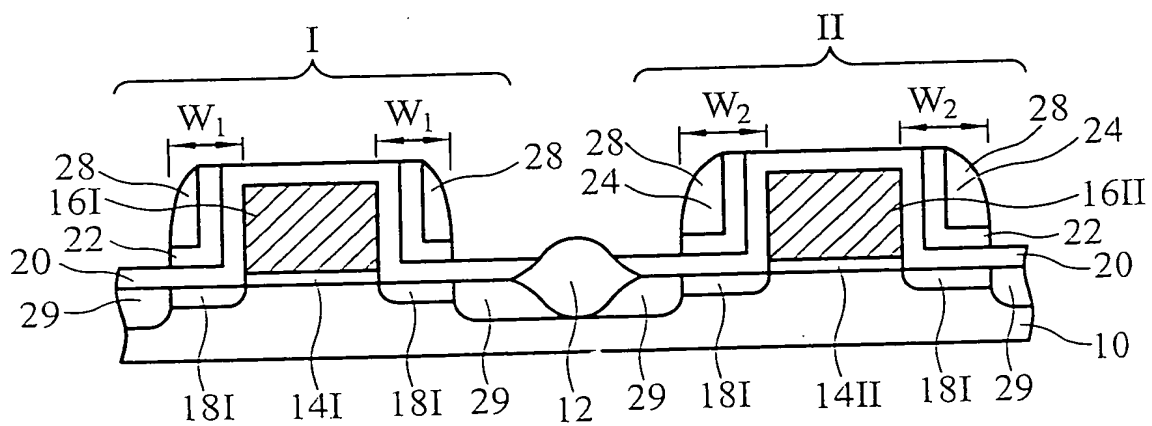
第 1C 圖



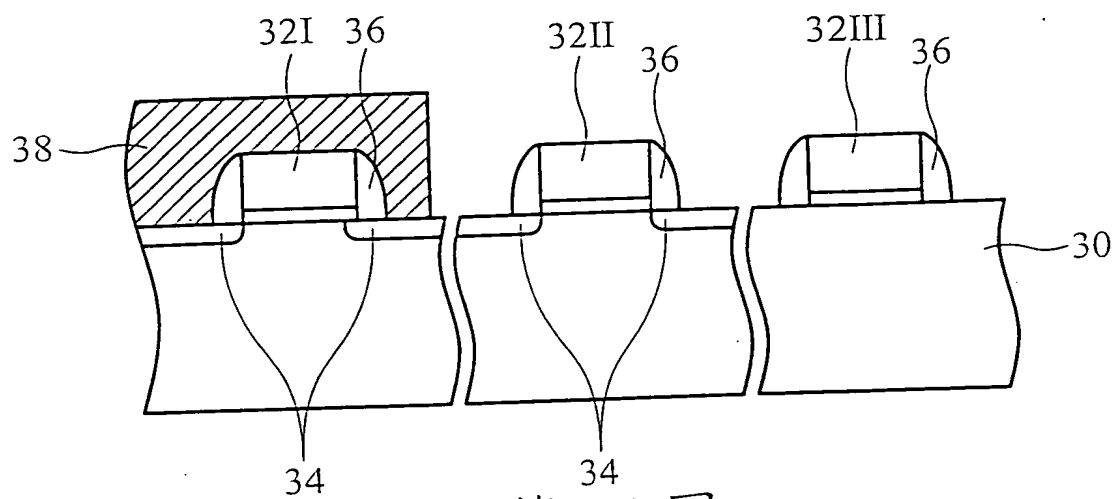
第 1D 圖



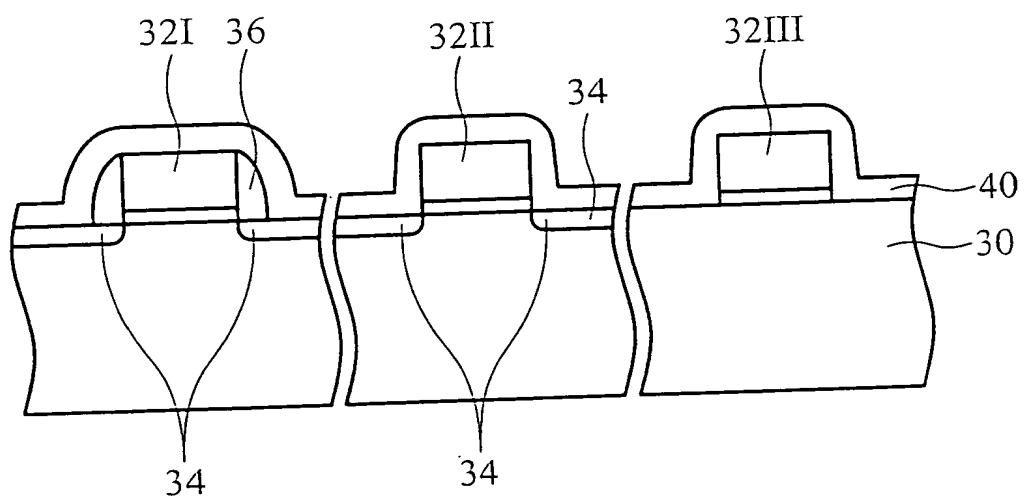
第 1E 圖



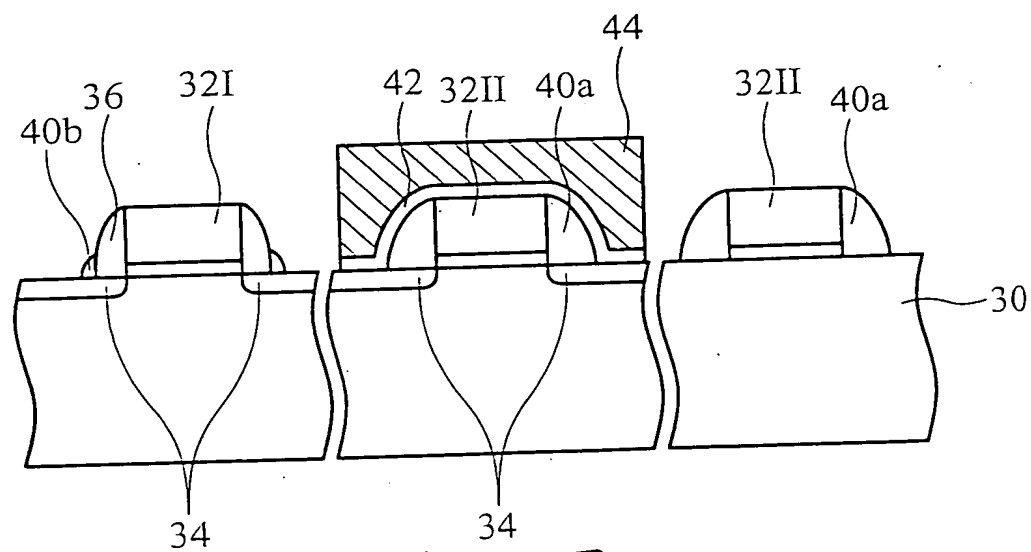
第 1F 圖



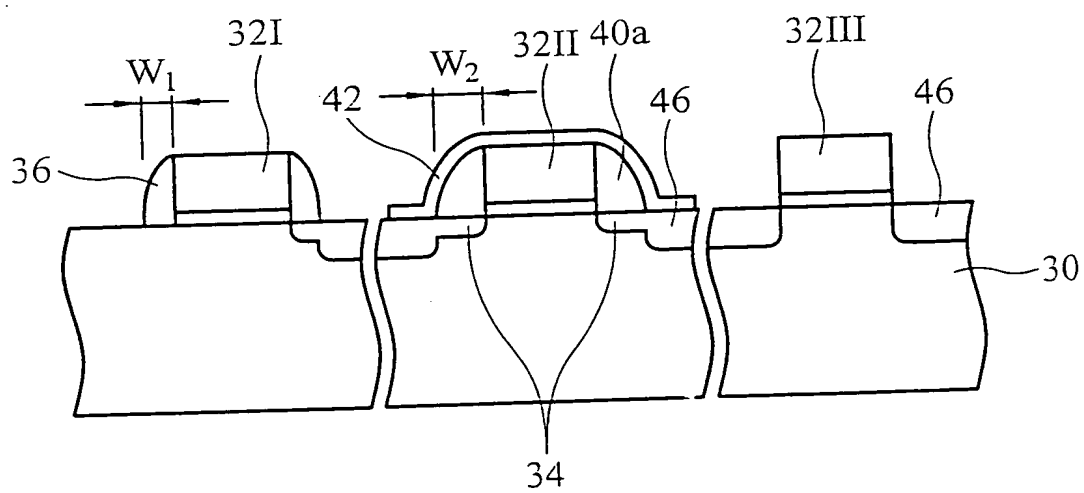
第 2A 圖



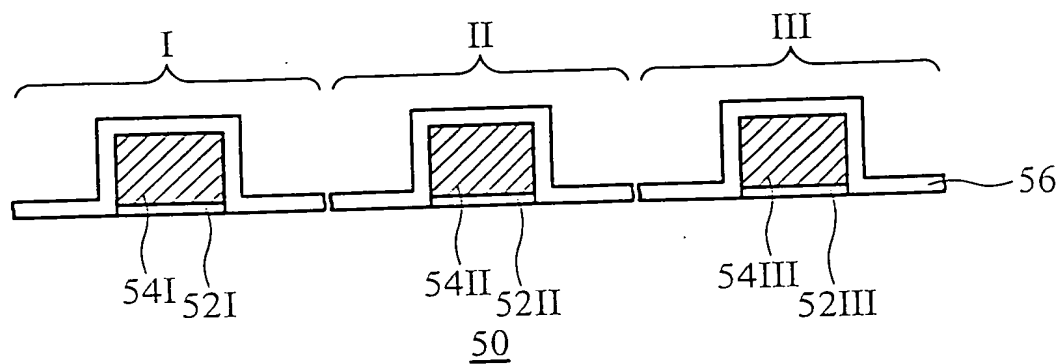
第 2B 圖



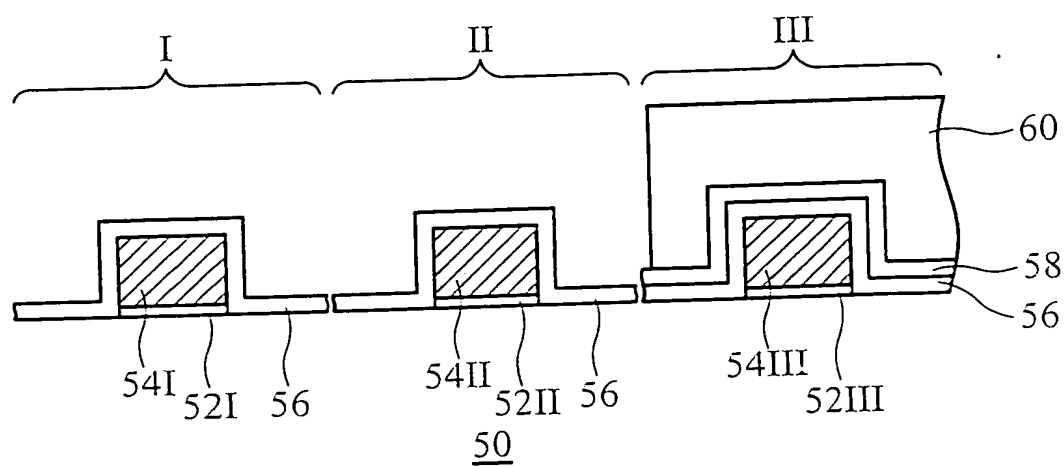
第 2C 圖



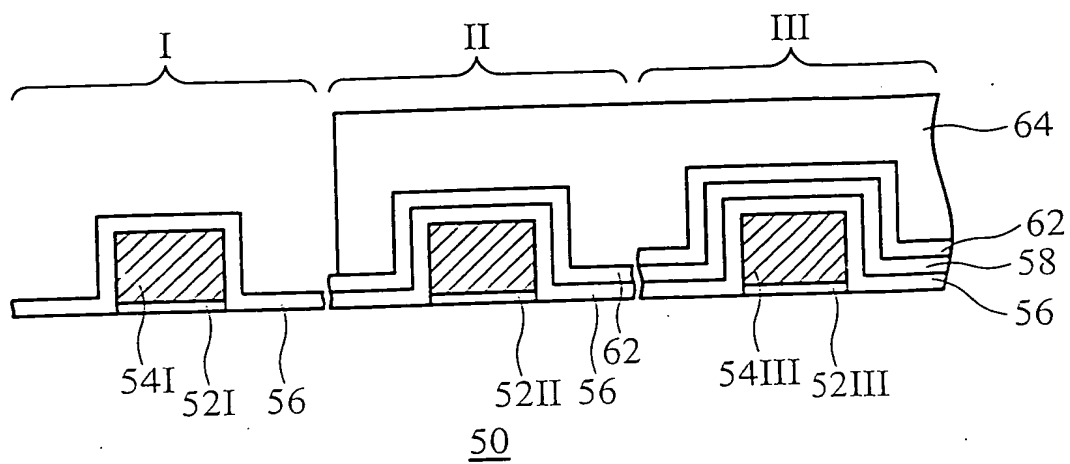
第 2D 圖



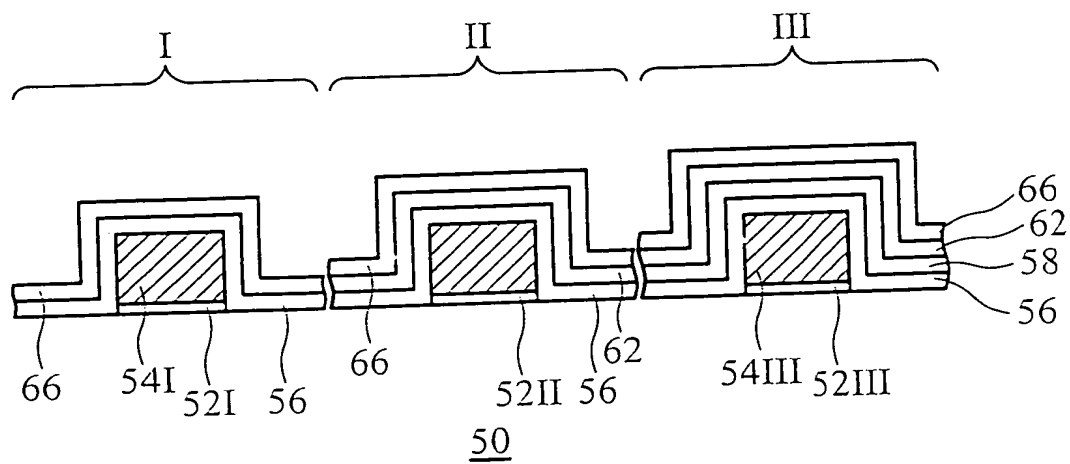
第 3A 圖



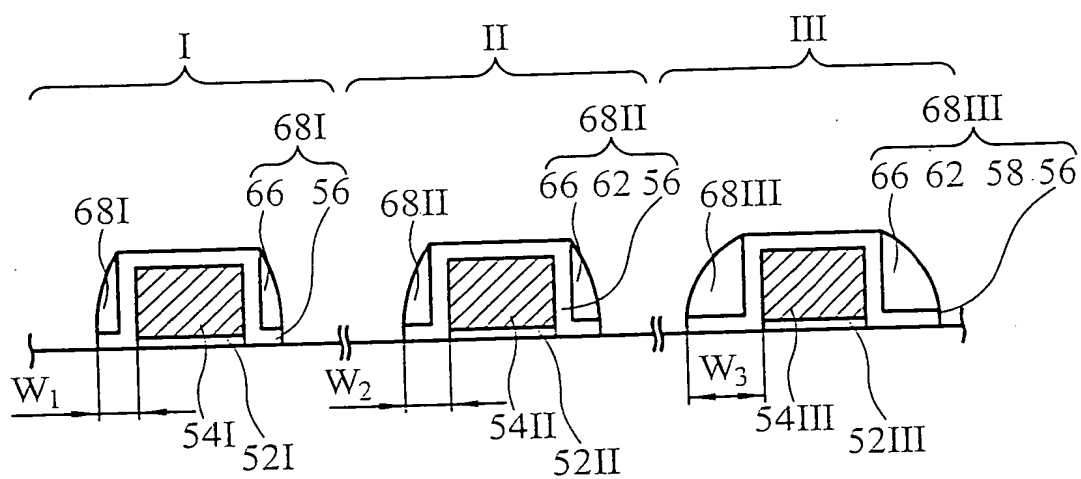
第 3B 圖



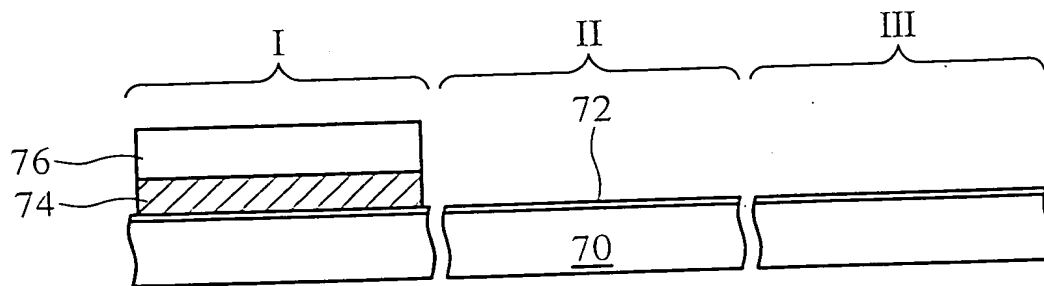
第 3C 圖



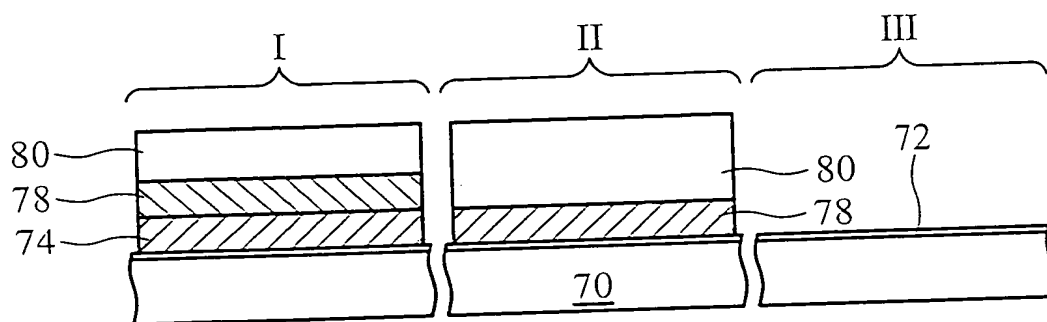
第 3D 圖



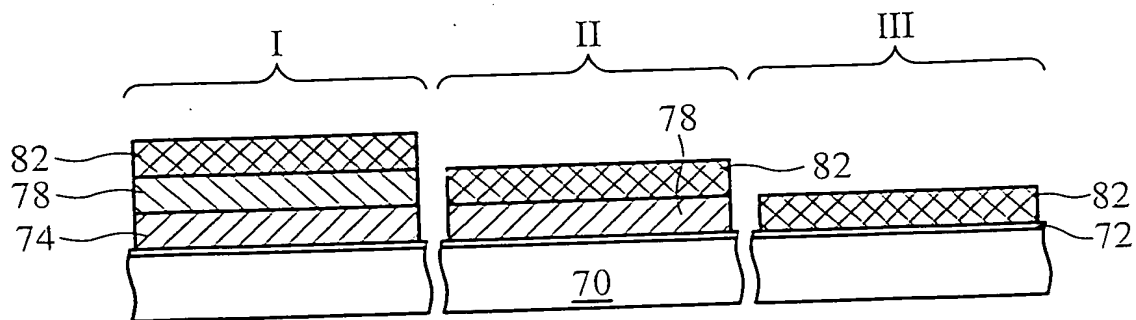
第 3E 圖



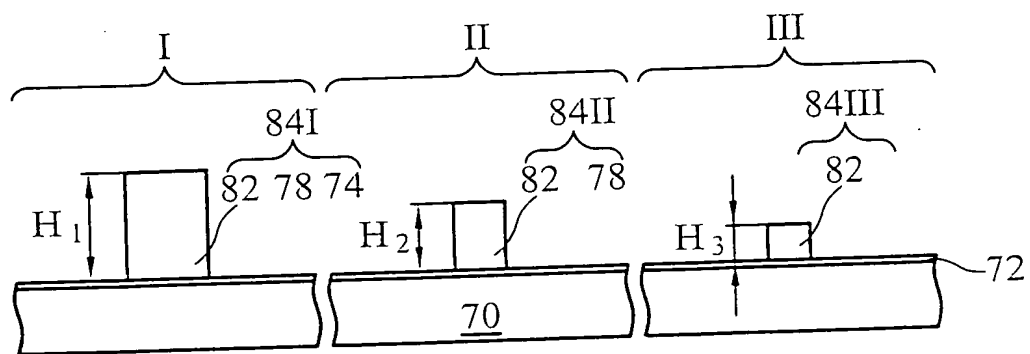
第 4A 圖



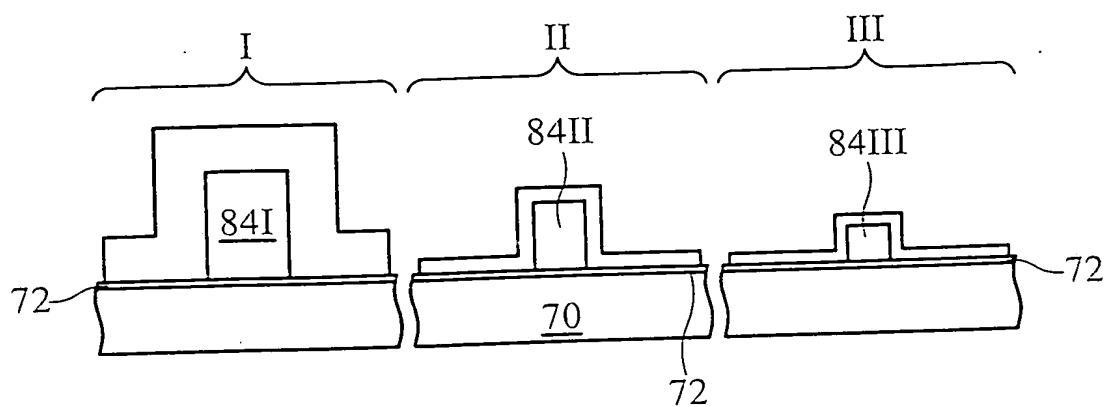
第 4B 圖



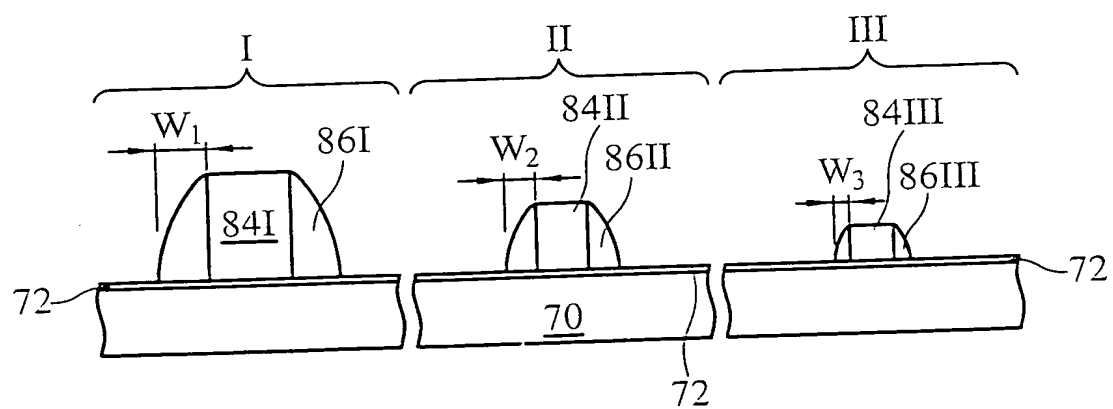
第 4C 圖



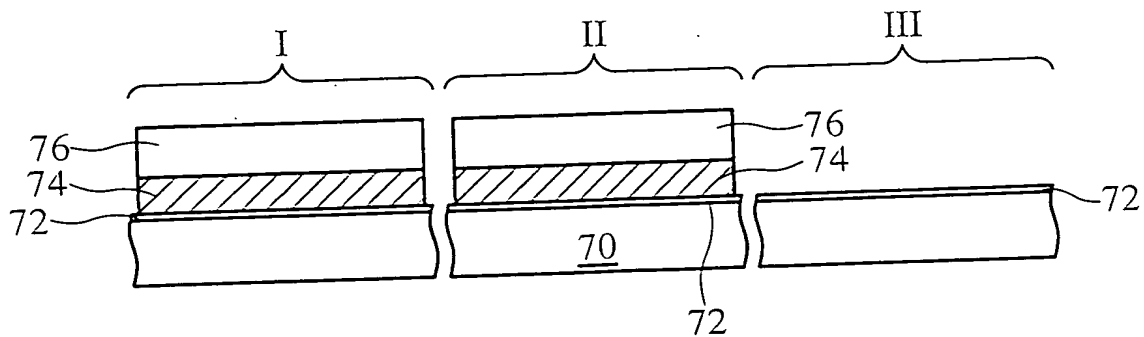
第 4D 圖



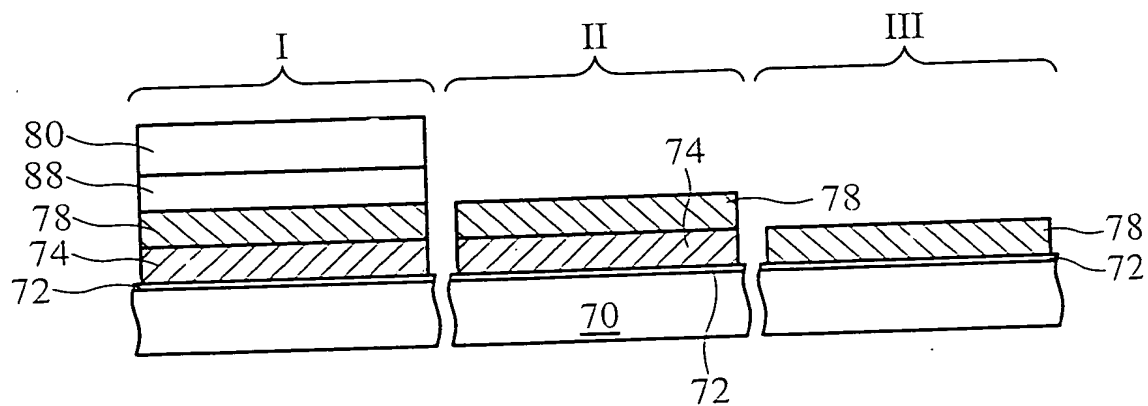
第 4E 圖



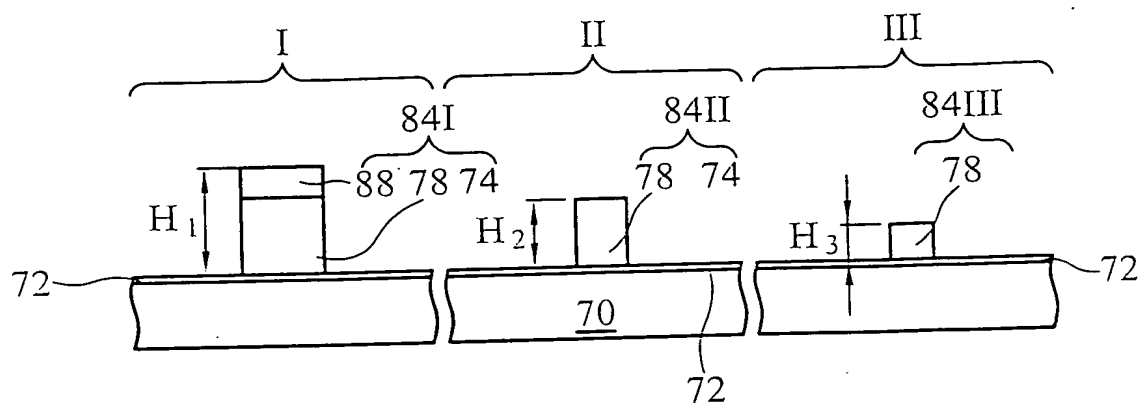
第 4F 圖



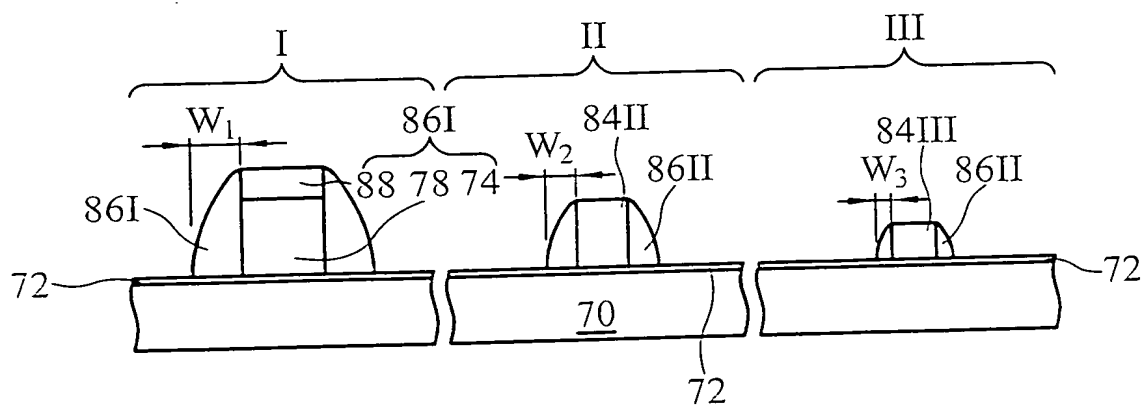
第 5A 圖



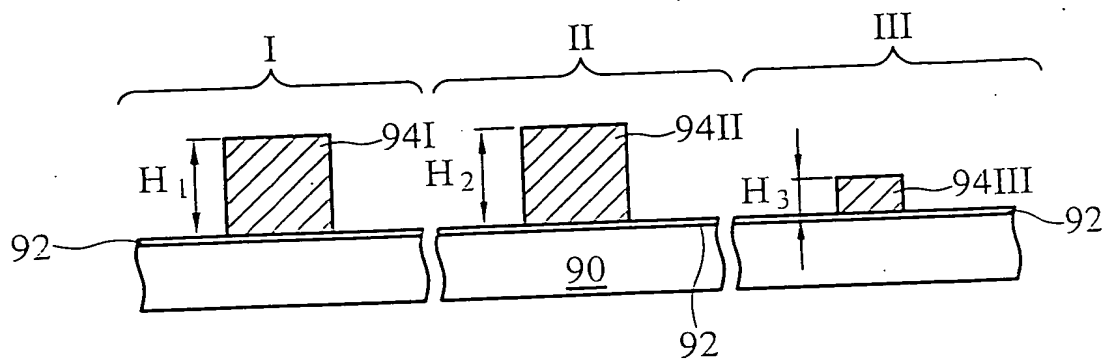
第 5B 圖



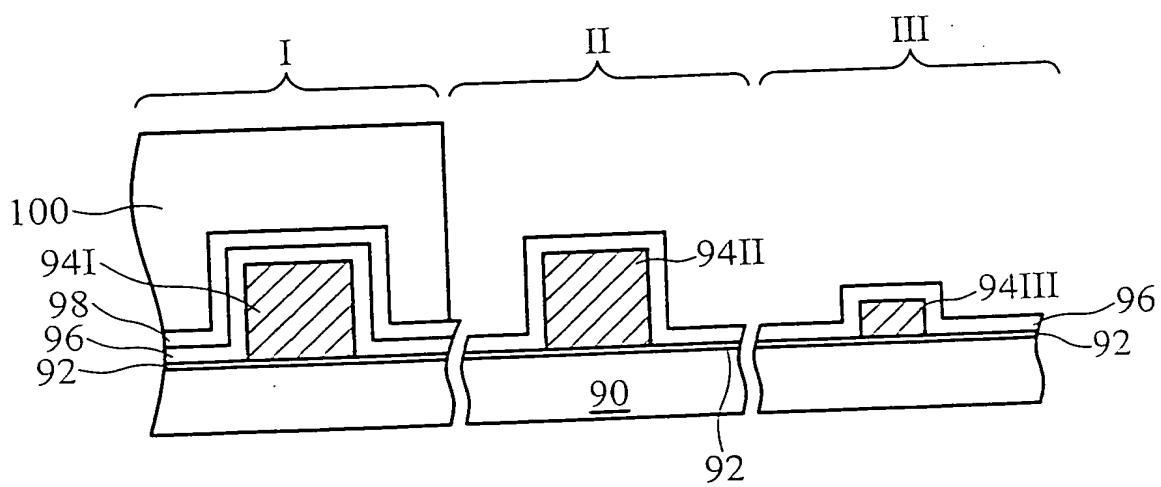
第 5C 圖



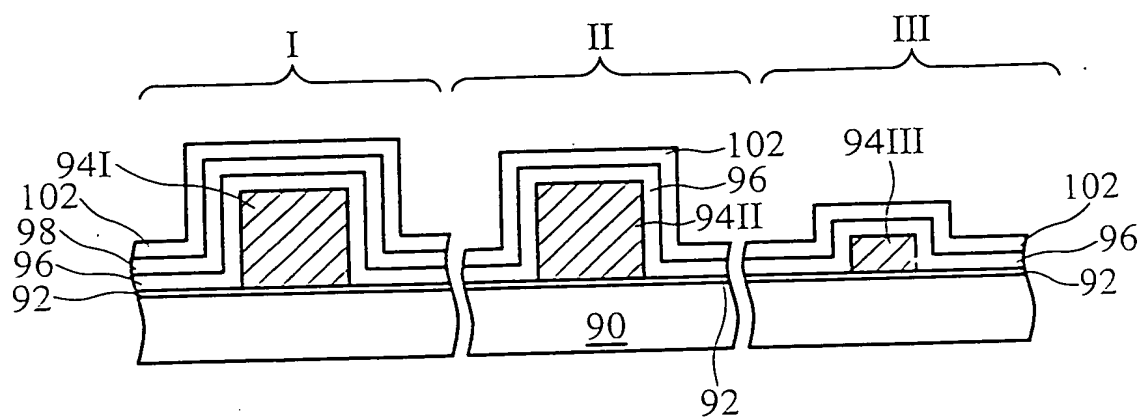
第 5D 圖



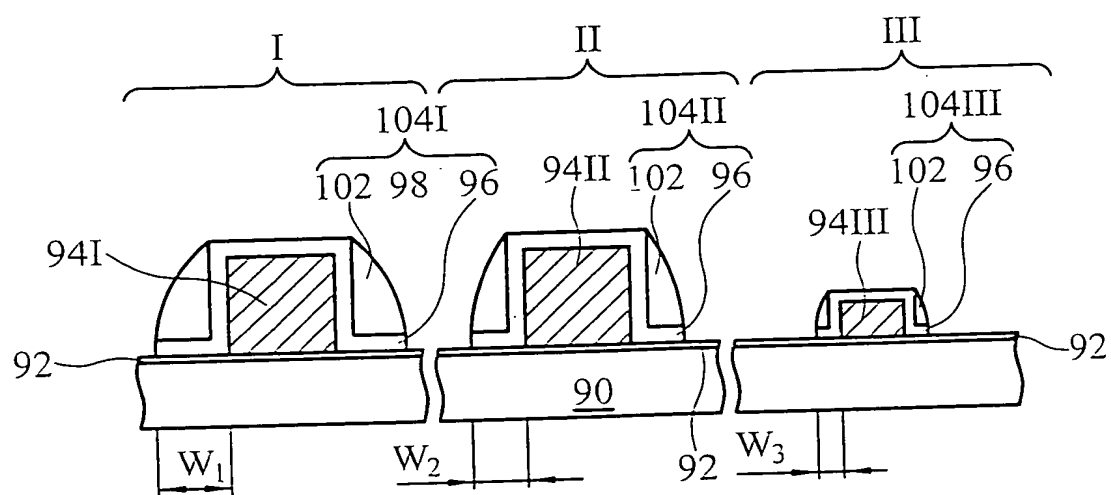
第 6A 圖



第 6B 圖



第 6C 圖

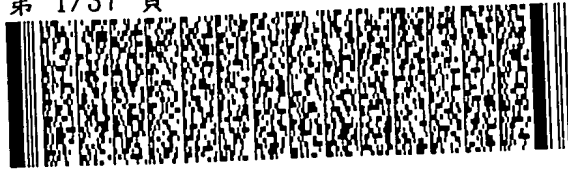


第 6D 圖

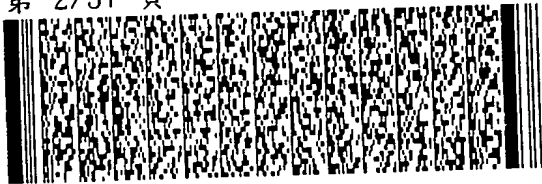
第 1/37 頁



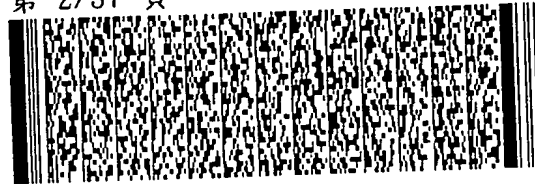
第 1/37 頁



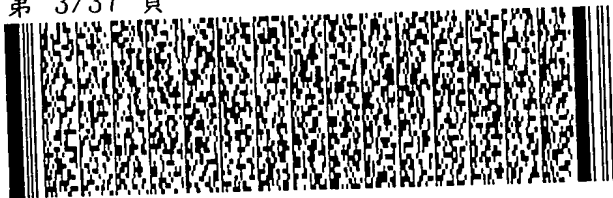
第 2/37 頁



第 2/37 頁



第 3/37 頁



第 4/37 頁



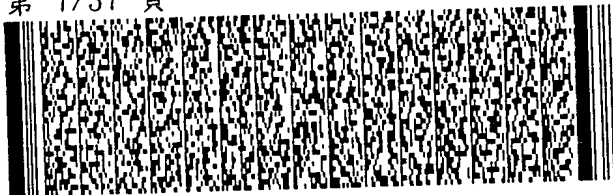
第 5/37 頁



第 6/37 頁



第 7/37 頁



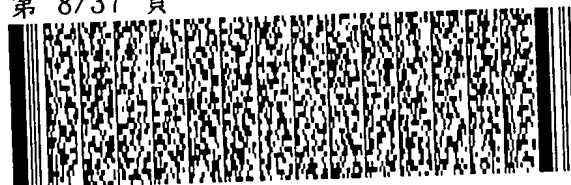
第 7/37 頁



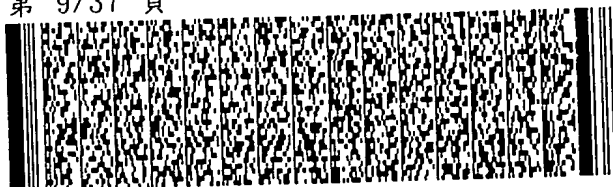
第 8/37 頁



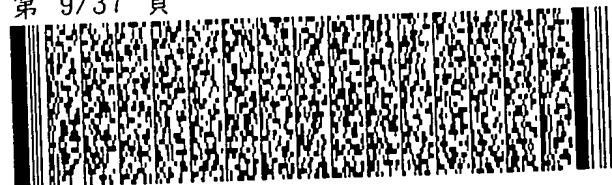
第 8/37 頁



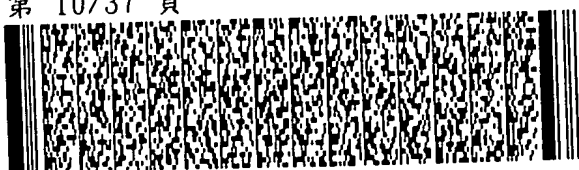
第 9/37 頁



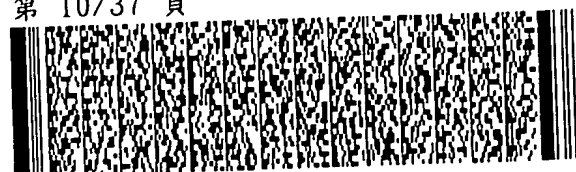
第 9/37 頁



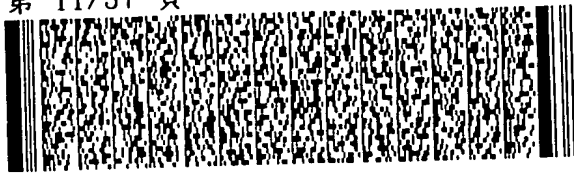
第 10/37 頁



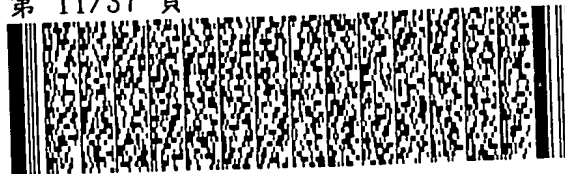
第 10/37 頁



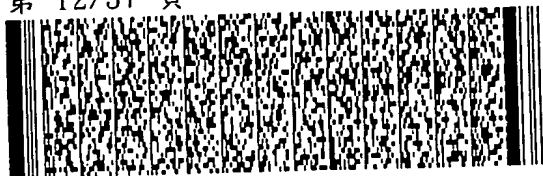
第 11/37 頁



第 11/37 頁



第 12/37 頁



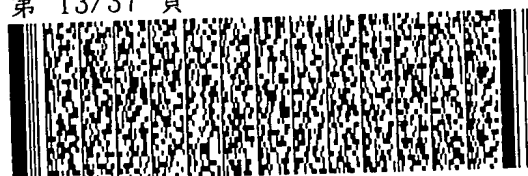
第 12/37 頁



第 13/37 頁



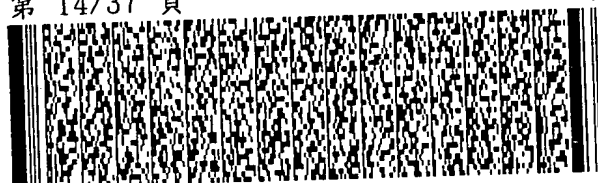
第 13/37 頁



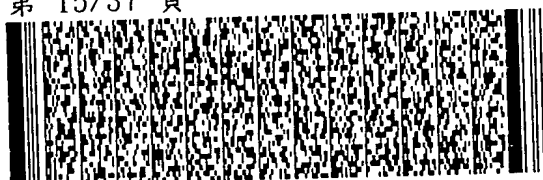
第 14/37 頁



第 14/37 頁



第 15/37 頁



第 15/37 頁



第 16/37 頁



第 16/37 頁



第 17/37 頁



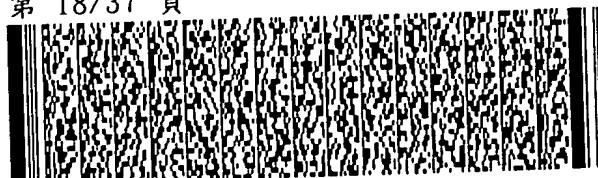
第 17/37 頁



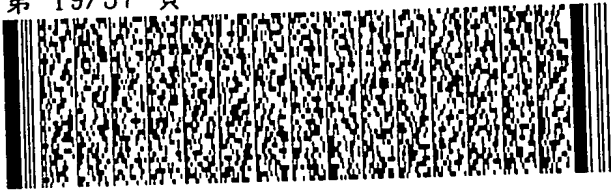
第 18/37 頁



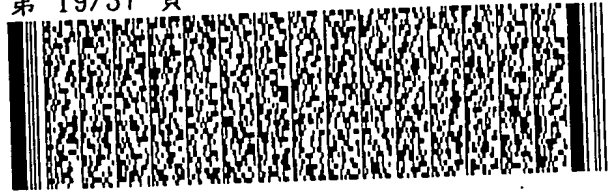
第 18/37 頁



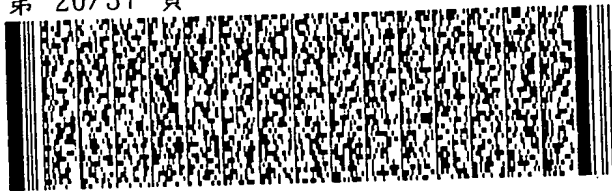
第 19/37 頁



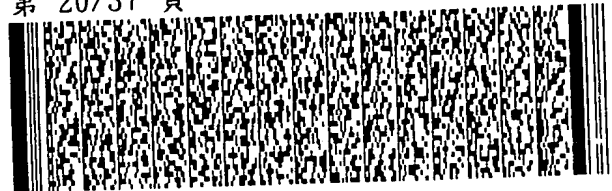
第 19/37 頁



第 20/37 頁



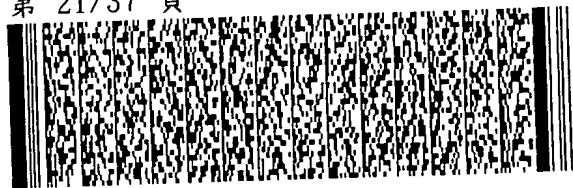
第 20/37 頁



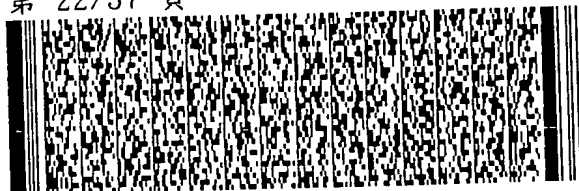
第 21/37 頁



第 21/37 頁



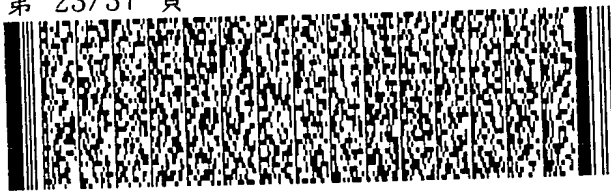
第 22/37 頁



第 22/37 頁



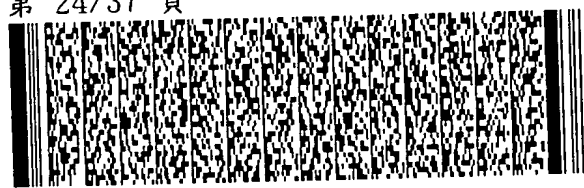
第 23/37 頁



第 23/37 頁



第 24/37 頁



第 24/37 頁



第 25/37 頁



第 25/37 頁



第 26/37 頁



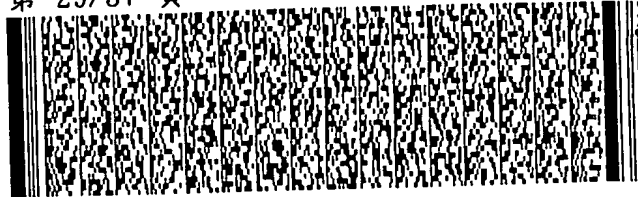
第 27/37 頁



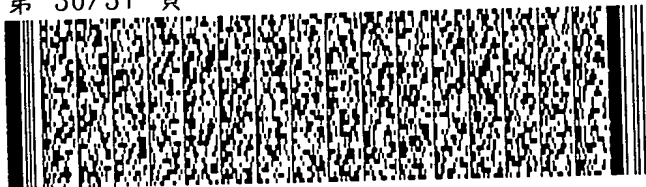
第 28/37 頁



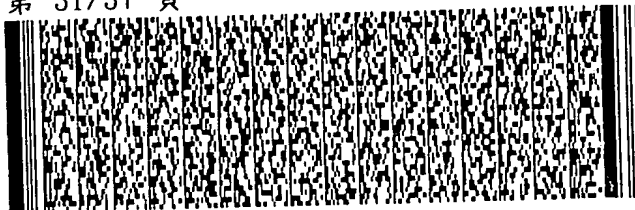
第 29/37 頁



第 30/37 頁



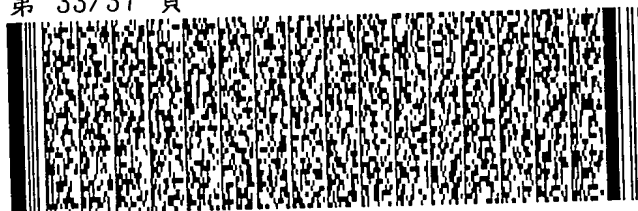
第 31/37 頁



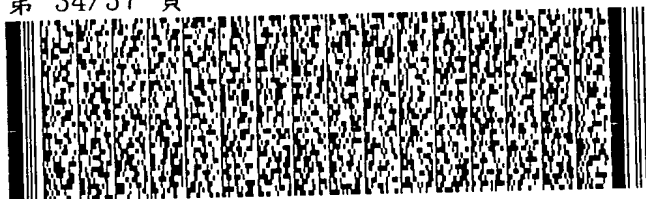
第 32/37 頁



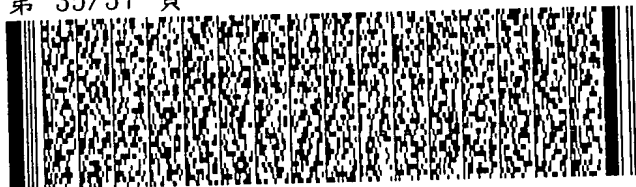
第 33/37 頁



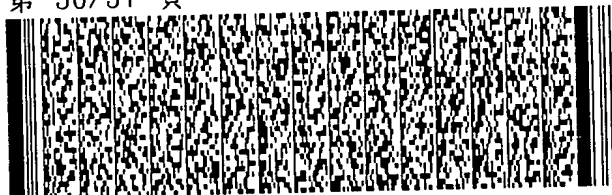
第 34/37 頁



第 35/37 頁



第 36/37 頁



第 37/37 頁

